هُوَ اللَّهُ الَّذِی لَا إِلَهَ إِلَّا هُوَ عَالِمُ الْغَیْبِ وَالشَّهَادَةِ هُوَ الرَّحْمَنُ الرَّحِیمُ

«اوست خدای یکتایی که غیر او خدایی نیست که دانای نهان و آشکار عالم است و بخشنده و مهربان است.»

الکترونیک در زندگی روزمره انسان معاصر چنان تأثیر و تغییری ایجاد کرده است که امروزه کمتر کسی در دنیا پیدا می‌شود که واژه الکترونیک را نشنیده باشد و این مایه غرور یک مهندس برق است که در رشته تحصیلی خود می‌تواند با تحلیل و طراحی مدارات الکترونیکی آشنا شده و در آینده انسان امروزی تأثیرگذار باشد.

در رشته مهندسی برق و رشته‌های مشابه، اصول الکترونیک در قالب دو درس الکترونیک (۱) و (۲) بیان می‌شود که درس الکترونیک (۱) شامل آشنایی با عناصر الکترونیکی و تحلیل و طراحی مدارات و تقویت‌کننده‌های پایه و چندطبقه است و یادگیری و تسلط بر مفاهیم آن، شرط لازم برای درک موضوعات درس الکترونیک (۲) است.

کتاب حاضر به‌طور جامع و مفصل به مفاهیم و موضوعات درس الکترونیک (۲) پرداخته است ولی این کتاب به‌گونه‌ای نگاشته شده است که در آن روش‌های تحلیل تقویت‌کننده‌های ترانزیستوری تک طبقه و چندطبقه بارها و بارها مرور شده است و لذا این کتاب علاوه بر ارائه مفاهیم و مدارات جدید الکترونیکی، عمق یادگیری خواننده را درزمینهٔ مفاهیم الکترونیک (۱) به‌شدت افزایش می‌دهد.

مؤلفین با به‌کارگیری تمامی تجربیات چندین ساله خود در زمینه تدریس و آموزش درس الکترونیک، حدود چهار سال درگیر تألیف و نگارش این کتاب بوده‌اند و به‌جرئت می‌توان گفت **این کتاب به لحاظ ساختار و نحوه بیان مطالب منحصربه‌فرد است و در طول نگارش آن سعی بر آن بوده است تا مفاهیم به‌طور عمیق بیان شده و از آموزش بدون برهان و دلیل اجتناب شود و همچنین با ذکر مثال‌های متنوع، علاوه بر آموزش تکنیک‌های حل مسئله، عمق یادگیری خواننده را تا حد امکان افزایش دهیم.**

لازم به ذکر است که برای زیبایی و جذابیت کتاب، الگوی استانداردی برای رسم شکل‌های آن در نظر گرفته شده است و در رسم شکل‌های آن‌چنان دقت و حساسیتی به کار رفته است که در کمتر کتاب چاپ شده‌ای در ایران قابل‌مشاهده است و از این حیث، این کتاب در حد و اندازه‌های کتاب‌های معروف لاتین است.

این کتاب شامل پنج فصل است. فصل اول به بررسی مفصل و کامل انواع آینه‌های جریان و بارهای فعال اختصاص داده شده است. در فصل دوم که فصلی بسیار جامع و کامل است به یکی از اساسی‌ترین بلوک‌های سازنده مدارات مجتمع به نام تقویت‌کننده‌های تفاضلی پرداخته شده است. در فصل سوم با مفهوم فیدبک در مدارات الکترونیک آشنا می‌شوید و در تحلیل تقویت‌کننده‌های فیدبکی با انواع تقویت‌کننده‌های چندطبقه روبرو خواهید شد. فصل چهارم با بیانی ساده و روان به معرفی ساختار داخلی آپ‌امپ پرداخته و انواع کاربردهای حلقه‌باز و حلقه‌بسته آن را بیان می‌کند. استفاده از فیدبک در مدارات آپ‌امپی امری اجتناب‌ناپذیر است و در این فصل با استفاده از مدارات آپ‌امپی به تفاوت‌های فیدبک منفی و مثبت به‌طور ظریفی اشاره شده است. فصل پنجم به تحلیل و طراحی تنظیم‌کننده‌های ولتاژ خطی مربوط می‌شود که برای افزایش کیفیت آن‌ها از فیدبک و آپ‌امپ استفاده می‌کنند.

این کتاب شامل ۵۱۰ مثال توضیحی و آموزشی در متن درس و حدود ۳۷۰ سؤال چهارگزینه‌ای در انتهای هر فصل است. سؤالات چهارگزینه‌ای شامل سؤالات کنکور دکتری الکترونیک از سال ۹۱ تا ۹۷ و سؤالات کنکور ارشد رشته‌های مهندسی برق از سال ۶۷ تا ۹۷ و مهندسی ابزار دقیق و اتوماسیون از سال ۸۲ تا ۹۷ است. برای هر یک از سؤالات چهارگزینه‌ای پاسخی کاملاً مفهومی و تشریحی ارائه شده است و سعی بر آن بوده است تا پاسخ‌های ارائه‌شده، بر مفاهیم بیان‌شده در متن درس کاملاً منطبق باشند.

حل مثال‌های متن درس در درک عمیق مفاهیم الکترونیک کمک بسیار زیادی می‌کند و حل مسائل انتهای هر فصل نیز مهارت خواننده را در تحلیل سریع مسائل افزایش خواهد داد. ازاین‌رو، مؤلفین معتقدند که از این کتاب علاوه بر آمادگی برای آزمون‌های ارشد و دکتری، می‌توان به‌عنوان یک مرجع بسیار مناسب، برای تدریس و یادگیری اصولی الکترونیک (۲) در طول یک ترم تحصیلی استفاده کرد.

خوانندگان محترم، می‌توانند برای دریافت مطالب تکمیلی و انگیزشی در زمینه مطالب کتاب‌های تالیفی مؤلفان (سیستم‌های کنترل خطی، الکترونیک و زبان تخصصی مهندسی برق) به کانال AminRezaeiControl@ در پیام‌رسان تلگرام مراجعه نمایند.

در خاتمه شایسته است از کلیه کادر اجرایی انتشارات پوران پژوهش به‌خصوص ریاست محترم آن، جناب آقای دکتر احمد هژبر و مدیریت محترم چاپ جناب آقای حسین رحیمی که همواره مشوق و پشتیبان مؤلفین در مدت طولانی تألیف این کتاب بوده‌اند نهایت سپاس را داشته باشیم و آرزو می‌کنیم که مطالعه و درس خواندن برای دانشجویان کشورمان نه یک اجبار، بلکه یکی از لذت‌های زندگی آنان باشد.

امین رضایی - زیبا عباس زاده

تهران – مهر ماه ۱۳۹۷

تقدیم به

فرزند عزیزمان

آرتین

فصل۱ منابع جریان و بارهای فعال

۰- مقدمه ۱

۱- مزایای منابع جریان ۲

۲- منابع جریان تک ترانزیستوری ۲

۲-۱ منبع جریان بدون مقاومت امیتر ۲

۲-۲ منبع جریان با مقاومت امیتر ۳

۲-۳ منبع جریان با دیود جبران‌کننده حرارتی ۳

۲-۴ منبع جریان با دیود زنر ۴

۲-۵ منبع جریان جی‌فتی ۵

۲-۶ منبع جریان ماسفتی ۶

۳- آینه جریان و ویژگی‌های آن ۶

۳-۱ ویژگی‌های آینه جریان ایده‌آل ۷

۳-۲ ویژگی‌های آینه جریان واقعی ۷

۴- آینه جریان دوقطبی ۸

۴-۱ تحلیل آینه جریان دوقطبی ۱۰

۴-۲ آینه جریان دوقطبی ایده‌ال ۱۱

۴-۳ آینه جریان دوقطبی با بتای محدود و ولتاژ ارلی بینهایت ۱۷

۴-۴ آینه جریان دوقطبی با بتا و ولتاژ ارلی محدود ۱۸

۴-۵ مدارهای چرخاننده جریان ۲۱

۴-۶ نمایش منبع جریان با مدار معادل نورتن ۲۴

۴-۷ معایب مدار آینه جریان دوقطبی ۲۴

۵- آینه جریان دوقطبی بهبودیافته ۲۴

۶- آینه جریان دوقطبی با فیدبک امیتری ۲۸

۷- آینه جریان دوقطبی بهبودیافته با فیدبک امیتری ۳۱

۸- آینه جریان ماسفتی ۳۲

۸-۱ تحلیل آینه جریان ماسفتی ۳۳

۹- منبع جریان ویدلر ۳۹

۹-۱ منبع جریان ویدلر دوقطبی ۴۰

۹-۲ منبع جریان ویدلر ماسفتی ۴۴

۱۰- منبع جریان اوج دار ۴۶

۱۰-۱ منبع جریان اوج‌دار دوقطبی ۴۶

۱۰-۲ منبع جریان اوج‌دار ماسفتی ۵۰

۱۱- منبع جریان کاسکود ۵۲

۱۱-۱ منبع جریان کاسکود دوقطبی ۵۴

۱۱-۲ منبع جریان کاسکود ماسفتی ۵۸

۱۲- منبع جریان ویلسون ۶۱

۱۲-۱ منبع جریان ویلسون دوقطبی ۶۱

۱۲-۲ منبع جریان ویلسون ماسفتی ۶۶

۱۳- منبع جریان مستقل از منبع تغذیه ۶۹

۱۳-۱ منبع جریان با مرجع ولتاژ بیس -امیتر ۷۰

۱۳-۲ منبع جریان ماسفتی با مرجع ولتاژ آستانه ۷۱

۱۳-۳ منبع جریان خودبایاس ۷۱

۱۳-۴ منبع جریان خودبایاس دوقطبی با مرجع ولتاژ بیس -امیتر ۷۲

۱۳-۵ منبع جریان خودبایاس ماسفتی با مرجع ولتاژ آستانه ۷۲

۱۳-۶ منبع جریان خودبایاس با مرجع ولتاژ حرارتی ۷۳

۱۳-۷ مدار خودبایاس ماسفتی با مرجع ولتاژ حرارتی ۷۶

۱۳-۸ مدار خودبایاس ماسفتی با مرجع ولتاژ بیس – امیتر ۷۷

۱۴- منبع جریان مستقل از دما ۷۸
۱۴-۱ مدارهای بایاس با مرجع زنری ۷۸
۱۵- تحلیل سیگنال کوچک آینه جریان ۸۲
۱۵-۱ تحلیل سیگنال کوچک آینه جریان دوقطبی ۸۲
۱۵-۲ تحلیل سیگنال کوچک آینه جریان ماسفتی ۸۳
۱۶- تقویت‌کننده با بار منبع جریان ۸۳
۱۶-۱ تحلیل تقویت‌کننده با بار منبع جریان ۸۴
۱۶-۲ تقویت‌کننده امیتر مشترک با بار آینه جریان غیرفعال ۸۵
۱۶-۳ تقویت‌کننده سورس مشترک با بار آینه جریان غیرفعال ۸۵
۱۶-۴ سایر آرایش‌های تقویت‌کننده با بار آینه جریان غیرفعال ۸۶
۱۶-۵ تقویت‌کننده با آینه جریان فعال ۸۷
سؤالات آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۹۰
پاسخ آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۱۰۶

فصل ۲ تقویت کننده های تفاضلی

۰- مقدمه ۱۲۵
۱- مفاهیم کلی تقویت‌کننده‌های تفاضلی ۱۲۶
۱-۱ بهره وجه تفاضلی و بهره وجه مشترک ۱۲۶
۱-۲ نسبت حذف وجه مشترک ۱۲۷
۲- تشکیل تقویت‌کننده تفاضلی ۱۲۷
۳- تقویت‌کننده تفاضلی دوقطبی متقارن ۱۳۰
۳-۱ تحلیل سیگنال بزرگ زوج تفاضلی دوقطبی ۱۳۰
۳-۲ افزایش محدوده ولتاژ ورودی برای عملکرد خطی زوج تفاضلی دوقطبی ۱۳۴
۳-۳ تحلیل DC تقویت‌کننده تفاضلی دوقطبی متقارن ۱۳۶
۳-۴ گستره وجه مشترک ورودی ۱۳۷
۳-۵ شرایط لازم برای سیگنال کوچک زوج تفاضلی دوقطبی ۱۳۹
۴- تحلیل سیگنال کوچک تقویت‌کننده تفاضلی دوقطبی متقارن ۱۴۱
۴-۱ مدار معادل سیگنال کوچک تقویت‌کننده تفاضلی دوقطبی ۱۴۱
۴-۲ مقاومت خروجی تقویت‌کننده تفاضلی ۱۴۳
۴-۳ مقاومت ورودی تقویت‌کننده تفاضلی ۱۴۵
۴-۴ تحلیل وجه تفاضلی با استفاده از نیم مدارهای تفاضلی ۱۴۸
۴-۵ تحلیل وجه مشترک با استفاده از نیم مدارهای مشترک ۱۵۷
۴-۶ تحلیل وجه مشترک با وصل کردن نقاط هم‌پتانسیل به یکدیگر ۱۶۱
۴-۷ تحلیل وجه تفاضلی با روش نظری ۱۶۱
۴-۸ تحلیل وجه مشترک با روش نظری ۱۶۴
۴-۹ نسبت حذف وجه مشترک زوج تفاضلی دوقطبی ۱۶۵
۴-۱۰ تقویت‌کننده تفاضلی متقارن با دو منبع جریان بایاس ۱۷۰
۴-۱۱ تحلیل تقویت‌کننده تفاضلی متقارن با تحریک تک انتهایی ۱۷۲
۴-۱۲ حداکثر تغییرات خروجی در تقویت‌کننده تفاضلی ۱۷۵
۵- تقویت‌کننده تفاضلی دوقطبی نامتقارن ۱۸۱
۵-۱ ولتاژ افست ورودی و خروجی ۱۸۱
۵-۲ جریان‌های بایاس ورودی و آفست ورودی ۱۸۴
۵-۳ تحلیل سیگنال کوچک تقویت‌کننده تفاضلی دوقطبی نامتقارن ۱۸۸
۶- تقویت‌کننده تفاضلی فتی متقارن ۱۹۷
۶-۱ تحلیل سیگنال بزرگ زوج تفاضلی جی‌فتی و ماسفتی ۱۹۸
۶-۲ شرایط لازم برای تحلیل سیگنال کوچک زوج تفاضلی جی‌فتی و ماسفتی ۲۰۰
۶-۳ گستره وجه مشترک ورودی ۲۰۱
۷- تحلیل سیگنال کوچک تقویت‌کننده تفاضلی فتی متقارن ۲۰۳

۷-۱ مقاومت‌های ورودی و خروجی ۲۰۴
۷-۲ تحلیل وجه تفاضلی تقویت‌کننده تفاضلی فتی متقارن ۲۰۵
۷-۳ تحلیل وجه مشترک تقویت‌کننده تفاضلی فتی متقارن ۲۰۶
۸- تقویت‌کننده تفاضلی فتی نامتقارن ۲۱۱
۸-۱ ولتاژ آفست در زوج تفاضلی ماسفتی ۲۱۱
۸-۲ تحلیل سیگنال کوچک تقویت‌کننده تفاضلی فتی نامتقارن ۲۱۴
۹- تقویت‌کننده‌های تفاضلی با بارهای ترانزیستوری ۲۲۰
۱۰- تقویت‌کننده‌های تفاضلی با بارهای فعال ۲۳۳
۱۰-۱ تقویت‌کننده تفاضلی دوقطبی با بار آینه جریان دوقطبی فعال ۲۳۳
۱۰-۲ تقویت‌کننده تفاضلی ماسفتی با بار آینه جریان ماسفتی فعال ۲۴۱
۱۰-۳ تقویت‌کننده‌های تفاضلی گوناگون با آینه‌های جریان فعال ۲۴۷
۱۱- تقویت‌کننده‌های تفاضلی کاسکودی ۲۵۵
۱۱-۱ تقویت‌کننده تفاضلی کاسکودی با بار مقاومتی ۲۵۶
۱۱-۲ تقویت‌کننده تفاضلی کاسکودی با بار منبع جریان ۲۵۹
۱۱-۳ تقویت‌کننده تفاضلی با کاسکود تابیده ۲۶۵
۱۱-۴ تقویت‌کننده تفاضلی کاسکودی با بار فعال ۲۶۷
۱۲- تقویت‌کننده تفاضلی با ترکیب دارلینگتونی ۲۶۸
۱۲-۱ تقویت‌کننده تفاضلی با دارلینگتون دوقطبی ۲۶۹
۱۲-۲ تقویت‌کننده تفاضلی با دارلینگتون بای‌فتی ۲۷۰
۱۳- تقویت‌کننده‌های تفاضلی با ترکیب CB - CC و CD - CG ۲۷۴
۱۴- تقویت‌کننده‌های تفاضلی چندطبقه ۲۷۷
۱۵- تقویت‌کننده تفاضلی با ترانسفورمر سر وسط ۲۸۵
۱۶- سلول گیلبرت ۲۸۷
سؤالات آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۲۹۰
پاسخ آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۳۲۲

فصل ۳ تقویت کننده های فیدبکی

۰ – مقدمه ۳۶۹
۱- مزایا و معایب فیدبک منفی ۳۷۰
۲- مفهوم و ساختار کلی فیدبک ۳۷۰
۲-۱ محاسبه بهره حلقه بسته ۳۷۱
۲-۲ محاسبه بهره حلقه ۳۷۲
۳- بررسی خواص فیدبک منفی ۳۷۲
۳-۱ کاهش حساسیت بهره ۳۷۳
۳-۲ افزایش پهنای باند ۳۷۵
۳-۳ کاهش اعوجاج غیرخطی ۳۷۷
۳-۴ کاهش اثر نویز و سیگنال‌های ناخواسته ۳۸۰
۳-۵ تغییر در مقاومت‌های ورودی و خروجی ۳۸۱
۳-۶ کاهش بهره و ناپایداری در تقویت‌کننده‌های فیدبکی ۳۸۱
۴- ساختار و اجزاء تقویت‌کننده‌های فیدبکی ۳۸۱
۴-۱ منبع ورودی ۳۸۲
۴-۲ مدارهای نمونه‌گیر ولتاژ و جریان ۳۸۲
۴-۳ مدارهای مقایسه‌گر ولتاژ و جریان ۳۸۳
۴-۴ تقویت‌کننده پایه و انواع آن ۳۸۴
۴-۵ شبکه فیدبک و انواع آن ۳۸۸
۵- مدل دودهنه برای تقویت‌کننده پایه و شبکه فیدبک ۳۹۲
۵-۱ پارامترهای شبکه‌های دودهنه ۳۹۲

۵-۲ تعیین مدل دودهنه مناسب برای تقویت‌کننده پایه و شبکه فیدبک ۳۹۳
۵-۳ مدل دودهنه ساده برای تقویت‌کننده پایه و شبکه فیدبک ۳۹۴
۶- توپولوژی‌های اساسی فیدبک ۳۹۵
۶-۱ فیدبک ولتاژ – سری ۳۹۶
۶-۲ فیدبک ولتاژ – موازی ۳۹۶
۶-۳ فیدبک جریان – موازی ۳۹۷
۶-۴ فیدبک جریان – سری ۳۹۷
۷- تعیین نوع و علامت فیدبک در مدارهای عملی ۳۹۸
۷-۱ تعیین نوع فیدبک در مدارهای عملی ۳۹۸
۷-۲ تعیین علامت فیدبک در مدارهای عملی ۴۰۲
۸- تقویت‌کننده‌های فیدبک‌دار ایده‌آل ۴۰۸
۸-۱ تقویت‌کننده با فیدبک ولتاژ - سری ایده‌آل ۴۰۸
۸-۲ تقویت‌کننده با فیدبک ولتاژ – موازی ایده‌آل ۴۱۰
۸-۳ تقویت‌کننده با فیدبک جریان – سری ایده آل ۴۱۱
۸-۴ تقویت‌کننده با فیدبک جریان – موازی ایده‌آل ۴۱۳
۸-۵ جمع‌بندی تحلیل تقویت‌کننده‌های فیدبک‌دار ایده‌آل با فیدبک منفی ۱۴۱
۸-۶ فیدبک مثبت در تقویت‌کننده‌های فیدبک‌دار ایده‌آل ۴۱۵
۹- تقویت‌کننده‌های فیدبک‌دار واقعی ۴۱۶
۹-۱ تقویت‌کننده با فیدبک ولتاژ – سری واقعی ۴۱۷
۹-۲ تقویت‌کننده با فیدبک ولتاژ – موازی واقعی ۴۳۵
۹-۳ تقویت‌کننده با فیدبک جریان – سری واقعی ۴۴۷
۹-۴ تقویت‌کننده با فیدبک جریان – موازی واقعی ۴۵۷
۱۰- قواعد کلی برای تحلیل تقویت‌کننده‌های فیدبک‌دار واقعی ۴۶۷
۱۱- تعیین بهره حلقه در مدارهای واقعی ۵۱۲
سؤالات آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۵۱۷
پاسخ آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۵۳۹

فصل ۴ آپ امپ و کاربردهای آن

۰- مقدمه ۵۸۹
۱- ساختار داخلی آپ‌امپ ۵۹۰
۲- نماد مداری آپ‌امپ ۵۹۲
۳- پارامترهای آپ‌امپ واقعی ۵۹۲
۳-۱ بهره ولتاژ آپ‌امپ ۵۹۲
۳-۲ نسبت حذف وجه مشترک ۵۹۳
۳-۳ پاسخ فرکانسی آپ‌امپ ۵۹۳
۳-۴ حداکثر دامنه جریان و ولتاژ خروجی ۵۹۳
۳-۵ گستره ولتاژ ورودی ۵۹۵
۳-۶ مقاومت‌های ورودی و خروجی ۵۹۵
۳-۷ ولتاژ افست ورودی و خروجی ۵۹۶
۳-۸ جریان بایاس و جریان آفست ورودی ۵۹۸
۳-۹ نرخ چرخش ۵۹۹
۳-۱۰ پهنای باند توان کامل ۶۰۱
۳-۱۱ نسبت رد منبع تغذیه (PSSR) ۶۰۲
۳-۱۲ رانش حرارتی ۶۰۲
۴- مشخصات آپ‌امپ ایده‌آل ۶۰۳
۵- انواع مدارهای آپ‌امپی ۶۰۵

فهرست مطالب

۶- مدارهای آپ‌امپی حلقه باز ۶۰۶
۶-۱ آشکارساز عبور از سطح صفر ۶۰۷
۶-۲ آشکارساز عبور از سطح غیر صفر ۶۰۸
۶-۳ مدار تشخیص افزایش دما ۶۱۰
۶-۴ مبدل آنالوگ به دیجیتال ۶۱۱
۷- مدارهای آپ‌امپی با فیدبک مثبت ۶۱۱
۷-۱ مقایسه کننده با هیسترزیس یا مدار اشمیت تریگر ۶۱۲
۷-۲ مولتی ویبراتور آستابل ۶۱۵
۸- مدارهای آپ‌امپی خطی با فیدبک منفی ۶۱۶
۸-۱ تقویت‌کننده وارونساز ۶۱۸
۸-۲ تقویت‌کننده ناوارونساز ۶۲۸
۸-۳ بافر ولتاژ ۶۳۴
۸-۴ مدارهای جمع کننده و تفریق کننده ۶۳۴
۸-۵ تقویت‌کننده‌های تفاضلی و ابزار دقیق آپ‌امپی ۶۳۸
۸-۶ مبدل‌های امپدانس ۶۴۸
۸-۷ مبدل‌های ولتاژ و جریان ۶۵۱
۸-۸ انتگرال‌گیر و مشتق‌گیر منفی ۶۵۶
۸-۹ انتگرال‌گیر و مشتق‌گیر با آرایش ناوارونساز ۶۶۴
۸-۱۰ انتگرال‌گیر مثبت با استفاده از مبدل ولتاژ به جریان ۶۶۵
۸-۱۱ تحقق معادلات دیفرانسیل با استفاده از مدارات آپ‌امپی ۶۶۵
۸-۱۲ مدارهای آپ‌امپی اندازه‌گیری ۶۶۶
۸-۱۳ فیلترهای آپ‌امپی ۶۶۷
۸-۱۴ مثال‌های متنوع از مدارهای آپ‌امپی خطی در ساختار فیدبک منفی ۶۷۴
۹- مقایسه فیدبک منفی و مثبت در مدارهای آپ‌امپی خطی ۷۰۲
۹-۱ تعریف تحلیل استاتیکی و دینامیکی ۷۰۲
۹-۲ تحلیل استاتیکی آپ‌امپ در ساختار حلقه بسته ۷۰۲
۹-۳ تحلیل دینامیکی آپ‌امپ در ساختار حلقه بسته ۷۰۳
۱۰- مدارهای آپ‌امپی غیرخطی با فیدبک منفی ۷۰۵
۱۰-۱ یکسوساز نیم موج پایه ۷۰۵
۱۰-۲ یکسوساز نیم موج کامل وارونساز ۷۰۷
۱۰-۳ یکسوساز نیم موج کامل ناوارونساز ۷۰۸
۱۰-۴ مدار جداکننده فاز ۷۱۰
۱۰-۵ یکسوساز تمام موج نوع اول ۷۱۱
۱۰-۶ یکسوساز تمام موج نوع دوم ۷۱۲
۱۰-۷ یکسوساز تمام موج نوع سوم ۷۱۲
۱۰-۸ مدار برش دهنده ۷۱۵
۱۰-۹ آشکارساز پیک ۷۱۵
۱۰-۱۰ تقویت‌کننده لگاریتمی ۷۱۵
۱۰-۱۱ تقویت‌کننده آنتی‌لگاریتمی ۷۱۷
۱۰-۱۲ ضرب کننده لگاریتمی ۷۱۸
۱۰-۱۳ تقویت‌کننده جذرگیر ۷۱۸
۱۰-۱۴ جابجا کننده‌های فعال ۷۲۰
۱۰-۱۵ مقایسه کننده‌های کران‌دار ۷۲۱
۱۱- بررسی عملکرد غیرایده‌آل آپ‌امپ ۷۲۳
۱۱-۱ اثر ولتاژ آفست ورودی در مدارهای وارونساز و ناوارونساز ۷۲۳
۱۱-۲ اثر جریان بایاس و آفست ورودی در مدارهای وارونساز و ناوارونساز ۷۲۶
۱۱-۳ اثر ولتاژ آفست و جریان بایاس ورودی در انتگرال‌گیر میلر ۷۲۸
۱۱-۴ پاسخ فرکانسی تقویت‌کننده‌های حلقه بسته ۷۲۹
۱۱-۵ بررسی محدود بودن نسبت حذف وجه مشترک در آپ‌امپ ۷۳۰

سؤالات آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۷۳۲
پاسخ آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۷۵۷

فصل۵ تنظیم کننده های ولتاژ

۰- مقدمه ۷۹۷
۱- ساختار کلی منابع تغذیه DC ۷۹۸
۲- پارامترهای تنظیم‌کننده ولتاژ ۷۹۸
۳- انواع تنظیم‌کننده‌های ولتاژ ۷۹۹
۴- اجزاء تنظیم‌کننده‌های ولتاژ خطی ۸۰۱
۴-۱ نمونه‌بردار ولتاژ خروجی ۸۰۱
۴-۲ مرجع ولتاژ ۸۰۱
۴-۳ مقایسه کننده ۸۰۳
۴-۴ تقویت‌کننده DC ۸۰۴
۴-۵ کنترل‌کننده ۸۰۴
۵- تنظیم‌کننده ولتاژ زنری ۸۰۶
۶- تنظیم‌کننده‌های ولتاژ بدون فیدبک ۸۰۹
۶-۱ تنظیم‌کننده ولتاژ سری بدون فیدبک ۸۰۹
۶-۲ تنظیم‌کننده ولتاژ موازی بدون فیدبک ۸۱۳
۷- تنظیم‌کننده‌های ولتاژ فیدبک‌دار ۸۱۵
۷-۱ تنظیم‌کننده ولتاژ سری فیدبک‌دار ۸۱۵
۷-۲ تنظیم‌کننده ولتاژ موازی فیدبک‌دار ۸۲۱
۸- محدودکننده‌های جریان خروجی ۸۲۳
۸-۱ محدودکننده جریان خروجی ساده ۸۲۳
۸-۲ محدودکننده جریان خروجی تاخورده ۸۲۶
۹- تنظیم‌کننده‌های ولتاژ مدار مجتمع ۸۲۹
۹-۱ تنظیم‌کننده ولتاژ مدار مجتمع با خروجی ثابت ۸۳۰
۹-۲ تنظیم‌کننده ولتاژ مدار مجتمع با خروجی متغیر ۸۳۰
۹-۳ تنظیم‌کننده ولتاژ مدار مجتمع با قابلیت افزایش و محدود کردن جریان خروجی ۸۳۰
۱۰- تنظیم‌کننده جریان ۸۳۲
سؤالات آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۸۳۳
پاسخ آزمون‌های ورودی دکتری برق و ارشد برق و ابزار دقیق ۸۴۴

فصل ۱

منابع جریان و بارهای فعال

مقدمه

در بایاس کردن هر طبقه تقویت‌کننده با چندین مقاومت و خازن، جریان بایاس تابعی از ولتاژ تغذیه و دمای محیط است. این نوع بایاس برای مدارهای مجتمع مناسب نیست؛ زیرا در تکنولوژی مدارهای مجتمع، ساختن خازن‌های بزرگ تقریباً غیرممکن و ساختن مقاومت‌های بزرگ پرهزینه است و باید روش بایاس کردن متفاوتی انتخاب شود. یکی از قابلیت‌های مدارهای مجتمع این است که ساخت ترانزیستورها با تعداد زیاد و هزینه کمتر در آن‌ها امکان‌پذیر است؛ بنابراین در مدارهای مجتمع برای بایاس از منابع جریان ثابت ترانزیستوری استفاده می‌شود که توسط ترانزیستورهای BJT و FET به‌سادگی قابل پیاده‌سازی هستند.

در مدارهای میکروالکترونیک، منبع جریان بسیار دقیق با جریان خروجی طلایی طراحی می‌شود و برای تولید جریان طلایی یا مضربی از آن در نقاط دیگر مدار، از آینه‌های جریان استفاده می‌کنند. ساختارهای زیادی برای منابع جریان آینه‌ای وجود دارد و هر یک بسته به نوع کاربرد انتخاب می‌شود. هر یک از منابع جریان تحلیل الکترونیکی خاص خود را دارند؛ بنابراین در تحلیل منابع جریان ابتدا باید نوع منبع جریان را تشخیص داده و سپس دو پارامتر بسیار مهم جریان خروجی و مقاومت خروجی تعیین شود. البته در تحلیل کامل منابع جریان پارامترهایی مانند مقاومت ورودی، ولتاژ ورودی و حداقل ولتاژ خروجی لازم نیز محاسبه می‌شود.

در این فصل ابتدا منابع جریان تک ترانزیستوری را بررسی خواهیم کرد و سپس یکی از بلوک‌های اساسی مداری به نام **آینه جریان** را معرفی کرده و انواع آینه‌های جریان ساخته‌شده با ترانزیستورهای BJT و FET را به‌طور مفصل توضیح داده و تمامی پارامترهای آن‌ها را محاسبه و مقایسه خواهیم کرد. در ادامه منابع جریانی را معرفی و بررسی می‌کنیم که در ساخت آن‌ها از آینه‌های جریان استفاده شده است و به تغییرات دما و منبع تغذیه حساسیت کمتری دارند. در انتهای این فصل به تحلیل سیگنال کوچک آینه جریان پرداخته و نشان می‌دهیم که چگونه می‌توان در تقویت‌کننده‌ها، برای افزایش بهره از منابع جریان به‌عنوان بار استفاده کرد. لازم به ذکر است که در طول نگارش این فصل سعی بر آن بوده است تا مفاهیم به‌طور عمیق بیان و از آموزش بدون برهان و دلیل اجتناب شود و همچنین با ذکر مثال‌های متنوع، علاوه بر آموزش تکنیک‌های حل مسئله، انشا الله عمق یادگیری خواننده را تا حد امکان افزایش دهیم.

۱ مزایای منابع جریان

مزایای منابع جریان به‌عنوان بایاس کننده و بار ترانزیستوری در تقویت‌کننده‌ها را می‌توان چنین بیان کرد:

۱- در این روش بایاس، جریان dc ثابت در یک محل تولید شده و برای بایاس کردن طبقه‌های مختلف تقویت‌کننده در سایر نقاط مختلف، بازتولید می‌شود. درنتیجه جریان‌های بایاس طبقات مختلف، در صورت تغییر ولتاژ تغذیه یا دما از یکدیگر تبعیت می‌کنند که این امر یک مزیت محسوب می‌شود.

۲- این روش بایاس، باعث کاهش حساسیت عملکرد مدار نسبت به تغییرات ولتاژ منبع تغذیه و دما می‌شود و درنتیجه پایداری نقطه کار تنها به درجه پایداری منابع جریان ارتباط دارد.

۳- در بیشتر موارد، منابع جریان ازنظر مساحت لازم در تراشه برای ایجاد یک جریان بایاس مشخص، باصرفه‌تر از مقاومت‌ها هستند به‌ویژه هنگامی‌که جریان بایاس لازم کم باشد.

۴- با توجه به این‌که منابع جریان مقاومت ac بزرگی داشته و بر بایاس dc مدار تأثیر بسیار کمی دارند لذا در تقویت‌کننده‌ها می‌توان از منابع جریان به‌عنوان بار استفاده کرد و با استفاده از منابع تغذیه با ولتاژ پایین، به بهره ولتاژ بسیار بالا دست یافت.

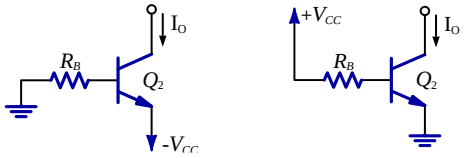
۲ منابع جریان تک ترانزیستوری

منابع جریان انواع مختلفی دارند و ساده‌ترین آن‌ها منابع جریانی هستند که شامل یک BJT یا یک FET هستند. در این بخش چند نمونه از این منابع جریان را بررسی خواهیم کرد.

۲-۱ منبع جریان بدون مقاومت امیتر

با توجه به خاصیت ذاتی ترانزیستور که منبع جریان است، می‌توان با استفاده از یک ترانزیستور، منابع جریان بسیار ساده‌ای مطابق مدارهای شکل ۱-۱ تشکیل داد. هر دو مدار عملکرد یکسانی دارند و تنها نحوه بایاس آن‌ها متفاوت است. جریان خروجی و مقاومت خروجی آن‌ها به‌صورت زیر خواهد بود

$$I_O = I_C = \beta\left(\frac{V_{CC} - V_{BE}}{R_B}\right) \quad , \quad R_o = r_o = \frac{V_A}{I_C}$$



شکل ۱-۱ منبع جریان تک ترانزیستوری بدون مقاومت امیتر

تنها مزیت این نوع منابع جریان، سادگی و پیاده‌سازی آسان آن‌ها است ولی چندین عیب عمده دارند:

۱- مقاومت خروجی (R_o) چندان بزرگ نیست و در حدود چند صد کیلو اهم است.

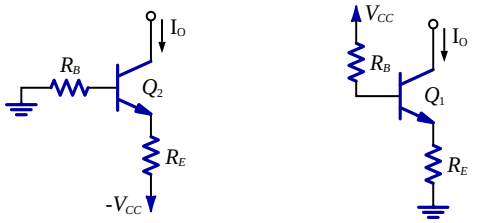
۲- جریان خروجی (I_O) به منبع تغذیه V_{CC} وابسته است.

۳- جریان خروجی (I_O) به ولتاژ V_{BEQ} و دما وابسته است.

در ادامه با افزودن عناصر دیگر به این منبع جریان هر یک از معایب بالا را برطرف خواهیم ساخت.

۲–۲ منبع جریان با مقاومت امیتر

ساده‌ترین راه برای کاهش حساسیت جریان خروجی نسبت به تغییرات ولتاژ V_{BE}، افزودن مقاومت به امیتر ترانزیستور است که خوشبختانه باعث افزایش مقاومت خروجی منبع جریان نیز می‌شود.



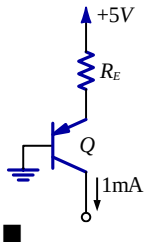
شکل ۱–۲ منبع جریان تک ترانزیستوری با مقاومت امیتر

منبع جریان با مقاومت امیتر در دو بایاس متفاوت در شکل ۱–۲ آورده شده است و می‌دانید که جریان و مقاومت خروجی آن‌ها به‌صورت زیر هستند

$$I_O = \alpha I_E = \alpha\left(\frac{V_{CC} - V_{BE}}{R_E + R_B/(\beta+1)}\right) \quad , \quad R_o = r_o\left[1 + \frac{\beta R_E}{R_E + r_\pi + R_B}\right]$$

در این مدار می‌توان با افزایش R_E مقاومت خروجی و پایداری حرارتی را افزایش داد اما این افزایش R_E باعث کاهش جریان خروجی I_O می‌شود و لذا نمی‌توان R_E را خیلی بزرگ انتخاب نمود. حال با این‌که با افزودن مقاومت R_E وابستگی I_O به V_{BE} و دما کاهش و مقاومت خروجی نیز افزایش می‌یابد اما به دلیل محدودیت مقاومت R_E، همچنان با منبع جریان مطلوب فاصله داریم. در این منبع جریان برای کاهش وابستگی جریان خروجی (I_O) به ولتاژ تغذیه V_{CC}، گامی برداشته نشده و این وابستگی همچنان پا برجاست.

مثال ۱. در مدار زیر مقدار مقاومت R_E و حداکثر ولتاژ کلکتور ترانزیستور را تعیین کنید.



حل. با نوشتن KVL در حلقه امیتر – بیس، مقدار R_E تعیین می‌شود

$$I_E = \frac{V_{EE} - V_{EB}}{R_E} = \frac{5^V - 0.7^V}{R_E} \xrightarrow{I_E \cong I_O = 1mA} R_E = 4.3^{k\Omega}$$

برای عملکرد صحیح مدار، ترانزیستور باید در ناحیه فعال باشد

$$V_{EC} = 0.7^V - V_C > V_{EC(sat)} \quad \Rightarrow \quad V_C < 0.7^V - V_{EC(sat)}$$

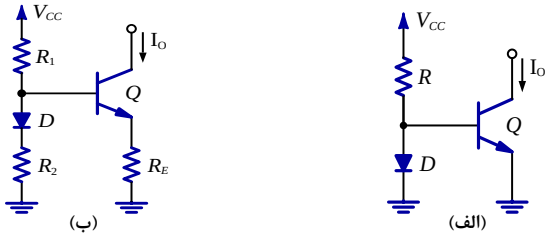
■

۲–۳ منبع جریان با دیود جبران‌کننده حرارتی

به یاد دارید که در یک ترانزیستور وابستگی ولتاژ V_{BE} به درجه حرارت، جریان کلکتور آن را تحت تأثیر قرار می‌دهد. یکی از راه‌های جبران نمودن تغییرات حرارتی V_{BE} (کاهش وابستگی I_O به دما)، استفاده از یک دیود معمولی مطابق شکل ۱–۳ است که تغییرات حرارتی ولتاژ V_D مشابه تغییرات حرارتی V_{BE} باشد. در این مدار با چشم‌پوشی از جریان بیس، جریان مقاومت R و دیود برابر بوده و با توجه به رابطه $V_{BE} = V_D$، جریان کلکتور ترانزیستور و جریان دیود نیز برابر خواهند بود

$$I_O = I_D \cong I_R = \frac{V_{CC} - V_{BE}}{R} \quad , \quad R_o = r_o = \frac{V_A}{I_O}$$

توجه داشته باشید که در این مدار مشخصه دیود D، با مشخصه دیود BE ترانزیستور یکسان است ولی مشخصه حرارتی آن‌ها معکوس یکدیگرند؛ یعنی افزایش دما، باعث کاهش V_{BE} و افزایش V_D خواهد شد و ولتاژ بیس ثابت خواهد ماند. البته در این مدار، R نمی‌تواند هر مقداری داشته باشد و این یکی از معایب این مدار است.



شکل ۱-۳ منبع جریان با دیود جبران‌کننده حرارتی (الف) بدون مقاومت امیتر (ب) با مقاومت امیتر

برای کاهش هر چه بیشتر حساسیت جریان خروجی نسبت به حرارت، مطابق مدار شکل ۱-۳ (ب) از مقاومت امیتر و دیود جبران‌کننده حرارتی به‌طور هم‌زمان استفاده می‌کنیم. با نوشتن دو KVL در مدار مربوطه و با فرض $V_{BE} \cong V_D$ و $I_{R2} \cong I_{R1}$، جریان خروجی به دست می‌آید

$$V_{BE} + I_E R_E = V_D + I_{R2} R_2 \xrightarrow{V_{BE} \cong V_D} I_{R2} = \left(\frac{R_E}{R_2}\right) I_E$$

$$V_{CC} - V_{BE} = I_E R_E + I_{R1} R_1 \xrightarrow{I_{R2} \cong I_{R1}} I_E = \frac{R_2 (V_{CC} - V_{BE})}{R_E (R_1 + R_2)}$$

درنتیجه جریان خروجی برابر با $I_O = \alpha I_E$ خواهد بود و مقاومت خروجی منبع جریان نیز چنین خواهد شد

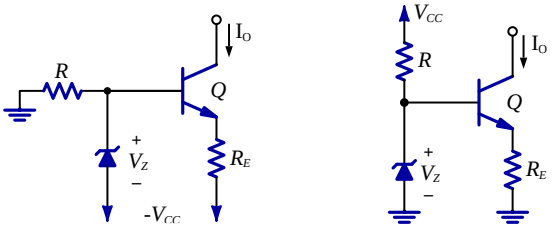
$$R_o = r_o \left[1 + \frac{\beta R_E}{R_E + r_\pi + (R_1 \| R_2)}\right]$$

۴-۲ منبع جریان با دیود زنر

در منابع جریان تک ترانزیستوری، مشکل پایداری حرارتی توسط مقاومت امیتر و دیود معمولی تا حدودی حل شد ولی جریان خروجی همچنان به تغییرات منبع ولتاژ حساس است. برای حل این مشکل از یک دیود زنر مطابق شکل ۱-۴ استفاده می‌شود. جریان خروجی این منبع جریان به‌صورت زیر خواهد بود

$$I_O = \alpha I_E = \alpha \left[\frac{V_Z - V_{BE}}{R_E}\right]$$

مشاهده می‌شود که جریان خروجی مستقل از منبع تغذیه است ولی هم‌چنان به V_{BE} و دما وابسته است.



شکل ۱-۴ منبع جریان با دیود زنر با دو بایاس متفاوت

۲–۵ منبع جریان جی‌فتی

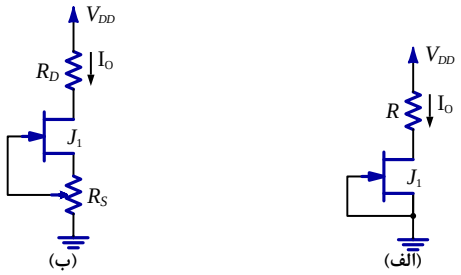
در شکل ۱–۵ (الف) یک منبع جریان ساده جی‌فتی آورده شده است. در این مدار گیت به سورس وصل شده و $V_{GS}=0$ است لذا با توجه به مشخصه جریان – ولتاژ جی‌فت، جریان خروجی ثابت و برابر I_{DSS} خواهد بود

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2 \quad \xrightarrow{V_{GS}=0} \quad I_O = I_{DSS}$$

و برای عملکرد صحیح این مدار، باید جی‌فت در ناحیه فعال (ناحیه اشباع) کار کند لذا باید مقاومت R به‌گونه‌ای باشد که شرط کار در ناحیه اشباع برای جی‌فت کانال n ($V_{DS} \geq V_{GS}-V_P$) برقرار باشد

$$V_{DS} \geq V_{GS}-V_P \quad \Longrightarrow \quad V_{DD}-RI_{DSS} \geq 0-V_P \quad \Longrightarrow \quad R < \frac{V_{DD}+V_P}{I_{DSS}}$$

یکی از معایب منبع جریان شکل ۱–۵ (الف) آن است که I_{DSS} در نمونه‌های مختلف یک نوع ترانزیستور مقدار ثابتی نیست و گاهی تا بیش از 200 درصد تغییرات را دربردارد. برای حل این مشکل و برای تنظیم جریان در مقداری دلخواه، بهتر است از مدار شکل ۱–۵ (ب) استفاده کنیم. در این مدار با تغییر R_S می‌توان جریان خروجی را بین 0 تا I_{DSS} تغییر داد و در هر مقدار لازم تنظیم نمود. مقاومت R_S علاوه بر تنظیم جریان منبع، باعث افزایش مقاومت خروجی آن تا مقدار $R_o=(1+g_mR_S)r_o+R_S$ نیز می‌شود.



شکل ۱–۵ منبع جریان فتی (الف) بدون مقاومت در سورس (ب) با مقاومت متغیر در سورس

مثال۲. با استفاده از جی‌فت با مشخصات $I_{DSS}=8mA$ و $V_P=-2V$ و $r_o=50k\Omega$، منبعی با جریان خروجی 2mA طراحی کنید و مقاومت خروجی منبع را به دست آورید. با فرض $V_{DD}=12V$، حداکثر مقاومتی که می‌توان به درین آن وصل کرد را محاسبه نمایید.

حل. در طراحی منبع جریان جی‌فتی باید جریان I_{DSS} بزرگ‌تر از جریان خروجی موردنظر (I_O) باشد که این رابطه برقرار است. با توجه به پارامترهای جی‌فت و جریان خروجی داده شده، ولتاژ V_{GS} را محاسبه می‌کنیم

$$V_{GS}=V_P\left[1-\frac{\sqrt{I_O}}{\sqrt{I_{DSS}}}\right]=-2\left[1-\frac{\sqrt{2}}{\sqrt{8}}\right]=-1^V$$

با مشخص شدن V_{GS}، مقدار مقاومت R_S به‌صورت زیر محاسبه می‌شود

$$R_S=-\frac{V_{GS}}{I_O}=\frac{1^V}{2^{mA}}=500^{\Omega}$$

برای عملکرد صحیح مدار باید جی‌فت در ناحیه فعال باشد؛ یعنی باید رابطه $V_{DS} \geq V_{GS}-V_P$ برقرار باشد

$$V_{DD}-I_D(R_S+R_D) \geq V_{GS}-V_P \quad \Longrightarrow \quad 12-2(0.5+R_D) \geq (-1+2) \quad \Longrightarrow \quad R_D \leq 5^{k\Omega}$$

مقاومت خروجی مدار نیز به‌صورت زیر محاسبه می‌شود

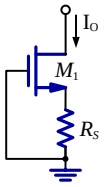
$$R_o = (1 + g_m R_S) r_o + R_S = \left(1 + \left[\frac{2\sqrt{I_D I_{DSS}}}{|V_P|}\right] R_S\right) r_o + R_S \cong 150^{\text{k}\Omega}$$

توجه داشته باشید که فرایند حل این مثال را می‌توان برای طراحی منابع جریان جی‌فتی به کار برد.

■

۶–۲ منبع جریان ماسفتی

در شکل ۱-۶، یک منبع جریان تک ترانزیستوری، پیاده‌سازی شده با ماسفت کانال n نشان داده شده است.



شکل ۱-۶ منبع جریان ساده ماسفتی

با توجه به مشخصه جریان – ولتاژ ماسفت و این که $V_{GS} = -R_S I_D$، جریان I_D به‌صورت زیر به دست می‌آید

$$I_D = K(V_{GS} - V_t)^2 = K(-R_S I_D - V_t)^2$$

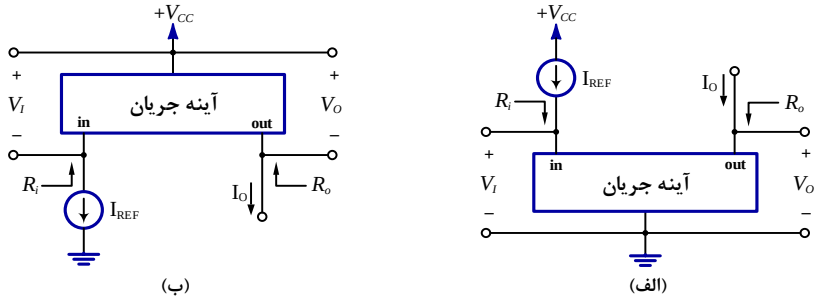
$$K R_S^2 I_D^2 + (2K R_S V_t - 1) I_D + K V_t^2 = 0$$

با حل معادله درجه دو بالا، مقدار جریان خروجی به دست می‌آید که مستقل از منبع تغذیه است. توجه داشته باشید که در این منبع هم برای عملکرد صحیح مدار، باید ماسفت در ناحیه فعال کار کند و مقاومت خروجی آن هم مشابه منبع جریان جی‌فتی، برابر با $R_o = (1 + g_m R_S) r_o + R_S$ است.

نکته منابع جریان فتی (جی‌فتی و یا ماسفتی) دارای نویزپذیری کمتری هستند ولی مقاومت خروجی آن‌ها نسبت به منابع جریان دوقطبی کمتر است.

۳ آینه جریان و ویژگی های آن

در مدارهای میکروالکترونیک برای بایاس کردن تقویت‌کننده‌ها از منابع جریان ثابت استفاده می‌کنند. برای داشتن یک مدار بایاس با کیفیت بالا و مستقل از ولتاژ تغذیه و دما، می‌توان با استفاده از **مدار مرجع شکاف انرژی**، یک جریان طلایی به دست آورد. ولی در یک مدار مجتمع، ممکن است چندین جریان بایاس لازم شود که به دلیل پیچیدگی مدار شکاف انرژی، امکان استفاده از آن برای تمام منابع جریان یک مدار مجتمع ممکن نیست؛ بنابراین برای تولید این جریان طلایی در نقاط دیگر مدار، از **آینه جریان** استفاده می‌کنند که جریان طلایی تولیدشده را گرفته و مضربی از آن را تحویل می‌دهد. مطابق شکل ۱-۷ آینه جریان، عنصری با حداقل سه پایانه است که یکی از پایانه‌ها میان ورودی و خروجی مشترک است. جریان خروجی (I_O) با ضریبی به نام **بهره منبع جریان** به جریان مرجع (I_{REF}) وابسته است و اگر بهره منبع جریان برابر با یک باشد، جریان ورودی در خروجی منعکس می‌شود و نام آینه جریان از همین مطلب گرفته شده است. مقاومت‌های سیگنال کوچک از دید جریان‌های I_O و I_{REF} را به ترتیب مقاومت خروجی (R_o) و مقاومت ورودی (R_i) می‌نامند.



شکل ۱-۷ ساختار کلی آینه جریان (الف) با پایه مشترک $V_{cc}-$ (ب) با پایه مشترک $+V_{cc}$

آینه جریان یکی از اساسی‌ترین بلوک‌های سازنده در طراحی منابع جریان و مدارهای چرخاننده جریان در ICها است و می‌توان منابع جریان با ویژگی‌های متفاوتی را با استفاده از BJT یا FET پیاده‌سازی کرد.

۳-۱ ویژگی‌های آینه جریان ایده‌آل

مهم‌ترین ویژگی‌های یک آینه جریان ایده‌آل را می‌توان به‌صورت زیر برشمرد:

۱- مقاومت ورودی (R_i) برابر با صفر است.

۲- مقاومت خروجی (R_o) برابر با بینهایت است.

۳- جریان خروجی (I_O) مستقل از ولتاژ خروجی (V_O) است.

۴- حداقل ولتاژ خروجی ($V_{O(min)}$) لازم برای عملکرد صحیح مدار، برابر با صفر است.

۵- ولتاژ ورودی (V_I) برابر با صفر است و تمامی ولتاژ منبع تغذیه بر روی منبع جریان مرجع قرار می‌گیرد.

۶- بهره آینه جریان، مستقل از فرکانس ورودی، منبع تغذیه، دما و مشخصات ترانزیستور است.

۳-۲ ویژگی‌های آینه جریان واقعی

به دلیل محدودیت در مدارهای الکترونیکی واقعی، برقراری شرایط ایده‌آل برای آینه جریان کار بسیار دشواری است. در آینه‌های جریان واقعی باید موارد زیر را در نظر گرفت:

مقاومت ورودی در آینه جریان واقعی، مقاومت ورودی (R_i) مقدار کوچکی دارد، ولی صفر نیست.

مقاومت خروجی در آینه جریان واقعی مقاومت خروجی (R_o) مقدار بزرگی دارد ولی بینهایت نیست.

- مقاومت خروجی آینه جریان بر عملکرد بسیاری از مدارهایی که در آن‌ها آینه جریان به کار می‌رود تأثیر مستقیم دارد؛ برای مثال می‌توان به اثر آن روی بهره ولتاژ و نسبت حذف وجه مشترک در تقویت‌کننده‌های تفاضلی اشاره کرد که در فصل دوم همین کتاب با تقویت‌کننده‌های تفاضلی آشنا خواهیم شد.
- با این‌که مقاومت خروجی آینه جریان واقعی با کاهش جریان خروجی، زیاد می‌شود ولی متأسفانه کاهش جریان خروجی باعث کاهش ماکزیمم سرعت کار مدار نیز می‌شود؛ بنابراین هنگام مقایسه مقاومت خروجی دو آینه جریان باید آن‌ها را به ازای جریان خروجی یکسان مقایسه کرد.

وابستگی جریان خروجی به ولتاژ خروجی ولتاژ خروجی (V_O) آینه جریان در اثر تغییرات بار یا منبع ولتاژ تغییر می‌کند و چون مقاومت خروجی آینه جریان واقعی محدود است؛ بنابراین جریان خروجی (I_O) با تغییر

ولتاژ خروجی (V_O) تغییر می‌کند. رابطه بین تغییرات ولتاژ خروجی (ΔV_O) و تغییرات جریان خروجی (ΔI_O) به‌صورت $\Delta I_O = \Delta V_O / R_o$ است و این نشان می‌دهد که هرچقدر مقدار مقاومت خروجی (R_o) آینه جریان بیشتر باشد، تغییرات جریان خروجی (I_O) کمتر و عملکرد آینه جریان بهتر خواهد بود.

حداقل ولتاژ خروجی در عمل، برای این‌که جریان خروجی (I_O) توسط جریان مرجع (I_{REF}) تعیین شود، لازم است ولتاژ خروجی (V_O) مقداری مثبت داشته باشد. حداقل مقدار ولتاژ خروجی $V_{O(min)}$، مقداری است که ترانزیستور طبقه خروجی را در ناحیه فعال نگه می‌دارد. کوچک بودن $V_{O(min)}$ در منابع جریان، ویژگی مطلوبی است؛ زیرا باعث می‌شود گستره ولتاژهای خروجی که به ازای آن مقاومت خروجی آینه جریان ثابت است، ماکزیمم شود و این درجاهایی که آینه جریان به‌عنوان بار فعال تقویت‌کننده‌ها به کار می‌رود، بسیار مهم است به‌ویژه در کاربردهایی که منبع تغذیه، ولتاژ پایینی دارد.

ولتاژ ورودی وقتی منبع جریان مرجع به پایانه ورودی یک آینه جریان وصل می‌شود، یک افت ولتاژ مثبت به نام V_I ایجاد می‌شود که ولتاژ موجود بر روی منبع جریان مرجع را کاهش می‌دهد. مینیمم کردن ولتاژ ورودی برای ساده‌تر شدن طراحی منبع جریان مرجع، به‌ویژه در کاربردهایی که منبع تغذیه کوچک است، امری حیاتی است.

بهره آینه جریان بهره آینه جریان واقعی به مشخصات ترانزیستورها وابسته است و با بهره آینه جریان ایده‌آل تفاوت دارد. برای درک این موضوع باید تعریفی از خطای ساختاری و خطای عدم انطباق ارائه دهیم.

خطای ساختاری: این خطا به دلیل محدودیت‌های عناصر الکترونیکی (مانند محدود بودن بتای ترانزیستورها) ایجاد می‌شود و اندازه آن به ساختار منبع جریان بستگی دارد و حتی در صورت انطباق کامل تمام عناصری که باید منطبق باشند، به وجود می‌آید.

خطای عدم انطباق: این خطا از عدم تطبیق عناصری که باید منطبق باشند، ایجاد می‌شود.

توجه کنید که بهره آینه جریان واقعی هرگز مستقل از فرکانس ورودی نیست ولی در این فصل عمدتاً سیگنال‌های dc و فرکانس پایین در نظر گرفته می‌شوند و به پاسخ فرکانسی آینه‌های جریان نمی‌پردازیم.

در ادامه این فصل آینه‌های جریان ساخته‌شده با BJT و FET را به‌طور کامل بررسی کرده و روش‌های مختلف بهبود آن‌ها را بیان می‌کنیم و سپس انواع منابع جریان طراحی‌شده با استفاده از مفهوم آینه جریان را تحلیل خواهیم کرد. در حالت کلی منظور از تحلیل یک آینه جریان، تعیین جریان خروجی، مقاومت‌های ورودی و خروجی، ولتاژ ورودی و حداقل ولتاژ خروجی منبع است. توجه کنید که واژه‌های **آینه جریان** و **منبع جریان** در بسیاری از موارد مفهوم یکسانی را منتقل می‌کنند ولی در نگاهی دقیق‌تر، در منبع جریان، جریان خروجی بسیار کمتر از آینه جریان به جریان ورودی و ولتاژ منبع تغذیه بستگی دارد.

۴ آینه جریان دوقطبی

در شکل ۱-۸ آینه جریان ساده ساخته‌شده با ترانزیستورهای npn و pnp نشان داده شده است. هر دو آینه جریان دارای تحلیل مشابهی هستند و ما در توضیح درس و بیان مفاهیم بیشتر روی تحلیل آینه جریان npn متمرکز خواهیم شد ولی مثال‌های متعددی هم برای تحلیل آینه‌های جریان pnp ارائه خواهیم کرد.

شکل ۱-۸ آینه جریان دوقطبی (الف) با ترانزیستورهای npn (ب) با ترانزیستورهای pnp

برای درک بهتر عملکرد آینه جریان، ابتدا یک تحلیل کیفی برای مدار شکل ۱-۸ (الف) ارائه می‌کنیم:

- جریان مرجع در ترانزیستور Q_1 جاری می‌شود و جریان خروجی از کلکتور ترانزیستور Q_2 گرفته می‌شود. بدین دلیل ترانزیستورهای Q_1 و Q_2 را به ترتیب ترانزیستورهای مرجع و خروجی می‌نامند.
- بخش عمده‌ای از جریان مرجع I_{REF} در Q_1 جاری می‌شود و ولتاژ V_{BE1} متناظر با I_{REF} را تولید می‌کند.
- آینه جریان زمانی عملکرد صحیحی دارد که هر دو ترانزیستور آن در ناحیه فعال کار کنند. ترانزیستور اتصال دیودی Q_1، به دلیل داشتن $V_{CB} = 0$، همواره در ناحیه فعال کار می‌کند؛ ولی قرار گرفتن ترانزیستور Q_2 در ناحیه فعال به مدار متصل به کلکتور آن بستگی دارد.
- با توجه به نحوه اتصال ترانزیستورها مشاهده می‌شود که $V_{BE1} = V_{BE2}$ است.

منبع جریان آینه‌ای دوقطبی ساده در آینه جریان به‌وسیله روش‌های مختلفی می‌توان جریان مرجع I_{REF} را فراهم کرد که ساده‌ترین روش، استفاده از یک مقاومت مطابق مدارهای شکل ۱-۹ است.

شکل ۱-۹ منبع جریان آینه‌ای دوقطبی ساده (الف) با ترانزیستورهای npn (ب) با ترانزیستورهای pnp

این مدارها ساده‌ترین منابع جریان ساخته‌شده با آینه جریان هستند و در آن‌ها مقدار جریان مرجع را می‌توان به‌سادگی و با نوشتن تنها یک KVL در مدار به‌صورت زیر به دست آورد

$$I_{REF} = \frac{V_{CC} - V_{BE}}{R}$$

مثال۳. توضیح دهید که چرا مدارهای زیر را نمی‌توان به‌عنوان آینه جریان استفاده کرد؟

(الف) در این مدار هیچ جریان بیسی تأمین نشده است و به عبارتی ولتاژ بیس - امیتر ترانزیستورها تعریف‌نشده است؛ بنابراین عدم وجود جریان بیس باعث می‌شود جریان خروجی صفر باشد.

(ب) در این مدار با این‌که از ترانزیستور Q_1 جریان عبور می‌کند، ولی بایاس Q_1 همان بایاس معمولی است و مقدار جریان خروجی برابر با $I_O = I_S \exp(V_X/V_T)$ است که در صورت ثابت بودن V_X، تابعی از دما است. در اینجا اگر از یک ترانزیستور با اتصال دیودی استفاده می‌کردیم V_X متناسب با $\ln\left(\frac{I_{REF}}{I_S}\right)$ ایجاد می‌شد. ■

۴-۱ تحلیل آینه جریان دوقطبی

در این بخش ابتدا رابطه اساسی بین جریان کلکتور ترانزیستورها را برای آینه جریان npn به دست می‌آوریم. سپس به تحلیل سیگنال کوچک آینه جریان پرداخته و مقاومت ورودی و مقاومت خروجی آن را تعیین می‌کنیم. در ادامه ولتاژ ورودی و حداقل ولتاژ خروجی لازم را مشخص می‌کنیم. توجه کنید که آینه جریان pnp هم تحلیل مشابهی دارد و در مثال‌ها به آن خواهیم پرداخت.

جریان خروجی با در نظر گرفتن اثر ولتاژ ارلی، جریان کلکتورهای Q_1 و Q_2 به‌صورت زیر هستند

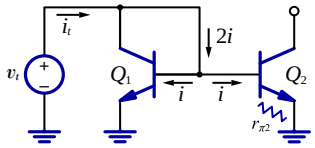
$$I_{C1} = I_{S1} e^{\frac{V_{BE1}}{V_T}} \left(1 + \frac{V_{CE1}}{V_{A1}}\right) \quad , \quad I_{C2} = I_{S2} e^{\frac{V_{BE2}}{V_T}} \left(1 + \frac{V_{CE2}}{V_{A2}}\right)$$

همچنین در مدار آینه جریان روابط $V_{BE1} = V_{BE2}$ و $V_{CE1} = V_{BE1}$ برقرارند و می‌توان رابطه اساسی بین جریان کلکتورها را در آینه جریان دوقطبی به‌صورت زیر بیان کرد

$$\frac{I_{C2}}{I_{C1}} = \frac{I_{S2}(1 + V_{CE2}/V_{A2})}{I_{S1}(1 + V_{CE1}/V_{A1})} \quad \Longrightarrow \quad I_{C2} = \left(\frac{I_{S2}}{I_{S1}}\right)\left(\frac{1 + V_{CE2}/V_{A2}}{1 + V_{CE1}/V_{A1}}\right) I_{C1}$$

این رابطه کلی‌ترین رابطه برای تعیین جریان خروجی آینه جریان است ولی در ادامه رابطه جریان خروجی آینه جریان را با فرض بینهایت بودن ولتاژ ارلی و بتای ترانزیستورها نیز تعیین خواهیم کرد. استفاده از چنین فرض‌هایی به درک بهتر عملکرد آینه جریان کمک می‌کند. لازم به یادآوری است که ولتاژ ارلی بینهایت، به معنی نامحدود بودن r_o ترانزیستور یا چشم‌پوشی از تغییرات ولتاژ V_{CE} بوده و بینهایت بودن بتای ترانزیستور به معنی چشم‌پوشی از جریان بیس ترانزیستور است.

مقاومت ورودی می‌دانیم که روش کلی برای تعیین مقاومت ورودی یا خروجی در الکترونیک، قرار دادن منبع آزمون v_t در ورودی یا خروجی مدار و تعیین رابطه ولتاژ و جریان منبع آزمون است؛ بنابراین مقاومت ورودی آینه جریان دوقطبی را می‌توان از روی مدار شکل ۱-۱۰ به دست آورد.

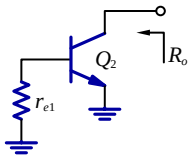


شکل ۱-۱۰ مدار تعیین مقاومت ورودی آینه جریان دوقطبی

به دلیل سادگی مدار نیازی به نوشتن KVL و KCL در مدار وجود ندارد. با توجه به این‌که مقاومت معادل ترانزیستور اتصال دیودی Q_1، برابر با $r_{e1} \| r_{o1}$ است، مقاومت ورودی آینه جریان به‌صورت زیر خواهد بود

$$R_i = \frac{v_t}{i_t} = (r_{e1} \| r_{o1}) \| r_{\pi 2} \cong r_{e1}$$

مقاومت خروجی می‌دانید که مقاومت دینامیکی ترانزیستور اتصال دیودی Q_1 تقریباً برابر با r_{e1} است و لذا مدار ac برای تعیین مقاومت خروجی آینه جریان دوقطبی به‌صورت شکل ۱-۱۱ خواهد بود. واضح است که مقاومت خروجی آینه جریان برابر با $R_o = r_{o2}$ خواهد بود و مقاومت r_{e1} تأثیری روی آن ندارد. (چرا؟)



شکل ۱-۱۱ مدار تعیین مقاومت خروجی آینه جریان دوقطبی

حداقل ولتاژ خروجی این ولتاژ با توجه به قرار گرفتن ترانزیستور Q_2 در ناحیه فعال تعیین می‌شود

$$V_{O(min)} = V_{CE2(min)} = |V_{CE2(sat)}|$$

ولتاژ ورودی در این منبع جریان، ولتاژ ورودی به جریان خروجی مرتبط می‌شود اما خوشبختانه این ارتباط به‌گونه‌ای است که با تغییر جریان خروجی (I_O)، ولتاژ ورودی (V_I) تغییر اندکی خواهد داشت

$$V_I = V_{CE1} = V_{BE1} = V_{BE2} = V_T \ln\left(\frac{I_O}{I_{S2}}\right)$$

۴-۲ آینه جریان دوقطبی ایده‌آل

در آینه جریان دوقطبی ایده‌آل، ولتاژ ارلی و بتای ترانزیستورها، بینهایت فرض می‌شود. برای تعیین جریان خروجی آینه جریان، با استفاده از رابطه اساسی بین جریان کلکتورها و با فرض $V_A = \infty$ می‌توان نوشت:

$$\frac{I_{C2}}{I_{C1}} = \frac{I_{S2}(1 + V_{CE2}/V_{A2})}{I_{S1}(1 + V_{CE1}/V_{A1})} \quad \xrightarrow{V_A=\infty} \quad I_{C2} = \left[\frac{I_{S2}}{I_{S1}}\right] I_{C1}$$

از طرفی با بینهایت بودن β ترانزیستورها، رابطه $I_{C1} = I_{REF}$ برقرار بوده و جریان خروجی برابر خواهد بود با:

$$I_O = \left[\frac{I_{S2}}{I_{S1}}\right] I_{REF}$$

رابطه اخیر به شرطی صادق است که Q_2 در ناحیه فعال باشد و از روی آن نتایج زیر را می‌توان گرفت:

۱- اگر رابطه بین سطح امیتر ترانزیستورهای Q_1 و Q_2 به‌صورت $A_{E2} = nA_{E1}$ باشد

$$I_O = \left(\frac{I_{S2}}{I_{S1}}\right) I_{REF} \quad \xrightarrow{I_{S2}=nI_{S1}} \quad I_O = nI_{REF}$$

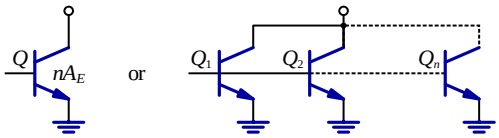
۲- اگر رابطه بین سطح امیتر ترانزیستورهای Q_1 و Q_2 به‌صورت $A_{E1} = nA_{E2}$ باشد

$$I_O = \left(\frac{I_{S2}}{I_{S1}}\right) I_{REF} \quad \xrightarrow{I_{S1}=nI_{S2}} \quad I_O = \frac{I_{REF}}{n}$$

۳- اگر سطح امیتر Q_1 و Q_2 برابر باشد، $I_O = I_{REF}$ و به عبارتی جریان مرجع در خروجی منعکس می‌شود.

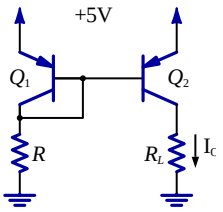
نکته واضح است که ایجاد نسخه‌های دیگری از I_{REF} پیچیدگی مدار را افزایش نمی‌دهد و هر جریان خروجی دلخواه را می‌توان از جریان مرجع ثابت به دست آورد؛ ولی از طرفی سطح تراشه برای نسبت‌های سطح امیتر بزرگ‌تر از پنج به یک $(n \geq 5)$ بزرگ می‌شود که امری نامطلوب است و باید در ایجاد نسبت‌های بزرگ جریان، به‌جای افزایش سطح امیتر ترانزیستورها، از روش‌های دیگری استفاده گردد.

نکته می‌دانیم که n برابر شدن مساحت امیتر، معادل با موازی کردن n ترانزیستور مشابه است. پس برای تولید n برابر جریان مرجع در خروجی، کافی است n ترانزیستور موازی در خروجی و به‌طور مشابه برای تولید $1/n$ از جریان مرجع در خروجی، n ترانزیستور موازی به‌جای ترانزیستور مرجع قرار گیرد.



شکل ۱-۱۲ موازی بستن n ترانزیستور و نمایش معادل آن‌ها

مثال۴. جریان خروجی منبع جریان زیر، $0.2mA$ است. با فرض $V_{EC(sat)}=0.2V$، $V_{BE}=0.7V$ و $V_A=\infty$ و $\beta \gg 1$، بیشترین مقاومتی که این منبع جریان می‌تواند راه‌اندازی کند، چقدر است؟



حل. در آینه جریان ایده‌آل $I_R=I_O$ است لذا مقاومت R برابر است با:

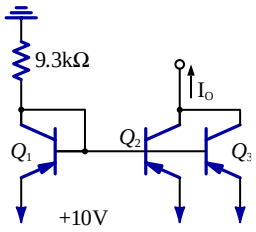
$$R=\frac{5-V_{BE1}}{I_R}=\frac{5^V-0.7^V}{0.2^{mA}}=21.5^{k\Omega}$$

بیشترین مقدار R_L با توجه به عملکرد Q_2 در ناحیه فعال به دست می‌آید

$$V_{EC}=5-I_OR_L>V_{EC(sat)} \quad \Longrightarrow \quad R_L<24^{k\Omega}$$

■

مثال۵. در مدار زیر با فرض $I_{S1}=2I_{S2}=4I_{S3}$ و $\beta \gg 1$ و $V_A=\infty$، جریان خروجی را محاسبه کنید.



حل. ابتدا جریان مرجع را به دست می‌آوریم و سپس با توجه به سطح امیتر ترانزیستورها، جریان کلکتورها را مشخص و I_O را محاسبه می‌کنیم

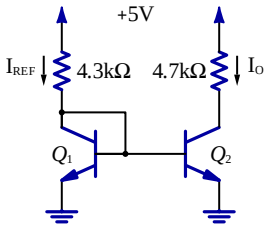
$$I_{C1}\cong I_{REF}=\frac{10^V-0.7^V}{9.3^{k\Omega}}=1^{mA}$$

$$I_O=I_{C2}+I_{C3}=0.5I_{C1}+0.25I_{C1}=0.5^{mA}+0.25^{mA}=0.75^{mA}$$

حداکثر ولتاژ $10-V_{EC(sat)}$ را می‌توان به کلکتورهای Q_1 و Q_2 وصل کرد.

■

مثال۶. در مدار شکل زیر با فرض $I_{S2}=2I_{S1}$، مقدار جریان I_O را محاسبه نمایید. مشخصات ترانزیستورها را به‌صورت $V_{CE(sat)}=0.3V$ و $\beta=100$ و $V_{BE}=0.7V$ در نظر بگیرید.



حل. جریان I_{REF} گذرنده از مقاومت $4.3k\Omega$ برابر خواهد بود با:

$$I_{REF}=\frac{5^V-0.7^V}{4.3^{k\Omega}}=1^{mA}$$

با توجه به $I_{S2}=2I_{S1}$، مقدار جریان خروجی $I_O=2I_{REF}=2mA$ خواهد بود اما به شرطی که ترانزیستور Q_2 در ناحیه فعال باشد

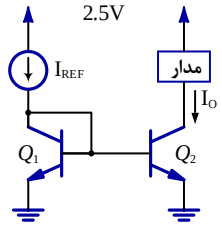
$$V_{CE2}=5^V-4.7^{k\Omega}\times 2^{mA}<V_{CE(sat)}$$

ولی به ازای $I_O=2mA$ ترانزیستور Q_2 در ناحیه اشباع قرار دارد و جریان I_O به‌صورت زیر محاسبه می‌شود

$$I_O=\frac{V_{CC}-V_{CE(sat)}}{R_{C2}}=\frac{5^V-0.3^V}{4.7^{k\Omega}}=1^{mA}$$

■

مثال۷. **آینه جریان شکل زیر، جریان $I_O = 0.5mA$ را به مدار می‌دهد و بودجه توان $2mW$ است. مقدار جریان I_{REF} لازم و اندازه نسبی Q_1 و Q_2 را تعیین کنید. برای ترانزیستورها $V_A = \infty$ و $\beta \gg 1$ فرض شود.**



حل. بودجه توان مدار، همان توان کشیده شده از منبع تغذیه V_{CC} است

$$P = V_{CC}(I_{REF} + I_O)$$

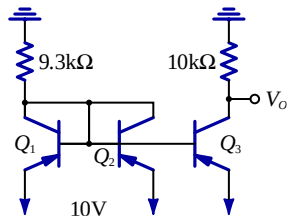
با داشتن بودجه توان و جریان I_O، مقدار I_{REF} به‌صورت زیر تعیین می‌شود

$$I_{REF} = \frac{P}{V_{CC}} - I_O = \frac{2^{mW}}{2.5^V} - 0.5^{mA} = 0.3^{mA}$$

درنتیجه اندازه نسبی Q_1 و Q_2 برابر $A_{E2}/A_{E1} = I_O/I_{REF} = 5/3$ است.

■

مثال۸. **در مدار شکل زیر ترانزیستورها مشابه هستند. با فرض بتای بسیار بزرگ و ولتاژ ارلی بینهایت برای ترانزیستورها، ولتاژ خروجی V_O را تعیین کنید.**



حل. جریان گذرنده از مقاومت $9.3\text{k}\Omega$ به‌طور مساوی بین ترانزیستورهای Q_1 و Q_2 تقسیم می‌شود و جریان Q_3 هم با جریان آن‌ها برابر خواهد بود

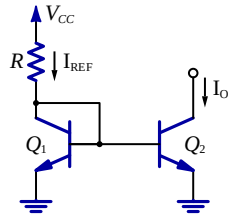
$$I_{REF} = \frac{10^V - 0.7^V}{9.3^{k\Omega}} = 1^{mA} \quad \Longrightarrow \quad I_{C1} = I_{C2} = I_{C3} = 0.5^{mA}$$

$$V_O = 10^{k\Omega} \times I_{C3} = 10^{k\Omega} \times 0.5^{mA} = 5^V$$

ترانزیستور Q_3 در ناحیه فعال قرار دارد و تحلیل بالا معتبر است.

■

مثال۹. **در مدار آینه جریان شکل زیر، R و V_{CC} را طوری تعیین کنید که جریان خروجی در دمای $25℃$ برابر $I_O = 100\mu A$ شود و در دمای $75℃$ خطایی کمتر از 5 درصد داشته باشد. برای ترانزیستورها β بسیار بزرگ و در دمای $25℃$، $V_{BE} = 700mV$ و ضریب حرارتی V_{BE} برابر $-2\,mV/℃$ است.**



حل. برای $\beta \gg 1$، خطای نسبی I_O از رابطه زیر به دست می‌آید

$$I_O = I_{REF} = \frac{V_{CC} - V_{BE}}{R} \quad \Longrightarrow \quad \frac{\Delta I_O}{I_O} = -\frac{1}{I_O}\left(\frac{\Delta V_{BE}}{R}\right)$$

کل تغییرات V_{BE} در گستره دمایی داده‌شده -100mV است

$$\Delta V_{BE} = -2^{\frac{mV}{℃}} \times \left(75^{℃} - 25^{℃}\right) = -100^{mV}$$

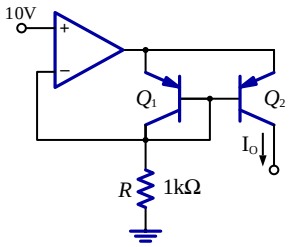
حال مقادیر مقاومت R و منبع تغذیه V_{CC} به‌صورت زیر تعیین می‌شوند

$$\frac{\Delta I_O}{I_O} = -\frac{1}{100^{\mu A}}\left(\frac{-100^{mV}}{R}\right) = 0.05 \quad \Longrightarrow \quad R = 20^{k\Omega}$$

$$V_{CC} = RI_O + V_{BE} = 20^{k\Omega} \times 0.1^{\text{mA}} + 0.7^{\text{V}} = 2.7^V$$

■

مثال۱۰. **در مدار شکل زیر با فرض ایده‌آل بودن عناصر مدار، مقدار جریان I_O و ماکزیمم ولتاژ کلکتور Q_2 را به دست آورید. برای ترانزیستورها $|V_{BE}| = 0.6V$ و $\beta \gg 1$ فرض شود.**



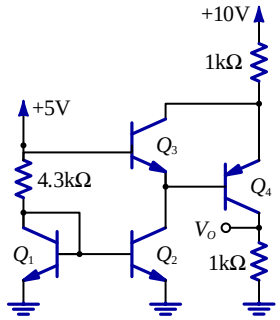
حل. در آپ‌امپ، ولتاژ پایه‌های منفی و مثبت آن برابر هستند

$$V^+ = V^- = 10^V \quad \Longrightarrow \quad V_{C1} = V_{B1} = V_{B2} = 10^V$$
$$V_{E1} = V_{E2} = V_{EB} + V_B = 0.6 + 10 = 10.6^V$$
$$I_O = I_{C2} = I_{C1} = I_R = \frac{10^V}{1^{k\Omega}} = 10^{mA}$$

ماکزیمم ولتاژ V_{C2} بر اساس قرار گرفتن آن در ناحیه فعال تعیین می‌شود؛ لذا با فرض $V_{EC(sat)} = 0$، ماکزیمم ولتاژ کلکتور 10.6V است.

■

مثال ۱۱. در مدار شکل زیر با فرض مشابه بودن ترانزیستورها و بزرگ بودن بتا، ولتاژ V_o را محاسبه کنید.



حل. با چشم‌پوشی از جریان بیس‌ها و این‌که ترکیب ترانزیستورهای Q_1 و Q_2 آینه جریان هستند، می‌توان نوشت:

$$I_{C1} = I_{C2} = \frac{10^V - 0.7^V}{9.3^{k\Omega}} = 1^{mA} \quad \Longrightarrow \quad I_{C3} = I_{C2} = 1^{mA}$$

ولتاژ امیتر Q_4 برابر 5V و جریان مقاومت 1kΩ برابر 1mA است

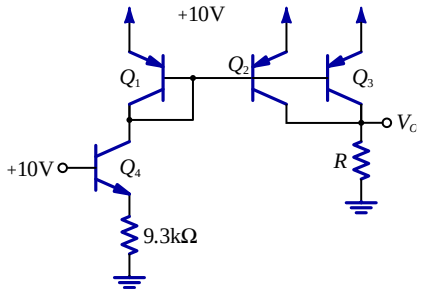
$$V_{E4} = 5^V - V_{BE3} + V_{EB4} = 5^V \quad \Longrightarrow \quad I_1 = \frac{10^V - 5^V}{1^{k\Omega}} = 5^{mA}$$

حال جریان I_{C4} تعیین و از روی آن ولتاژ V_O محاسبه می‌شود

$$I_{C4} = I_1 - I_{C3} = 4^{mA} \quad \Longrightarrow \quad V_O = 1^{k\Omega} \times 4^{mA} = 4^V$$

■

مثال ۱۲. در مدار زیر رابطه بین سطح امیتر ترانزیستورها به‌صورت $I_{S1} = I_{S2} = 2I_{S3}$ است. با فرض $\beta \gg 1$ و $V_{BE} = 0.7V$ و $V_{EC(sat)} = 0.5V$، حداکثر مقدار مقاومت R برای عملکرد صحیح مدار را تعیین کنید.



حل. در این مدار جریان مرجع برای آینه جریان pnp تشکیل‌شده از ترانزیستورهای Q_1، Q_2 و Q_3 توسط ترانزیستور Q_4 تأمین می‌شود و برابر 1mA است. از رابطه بین سطح امیترها، جریان ترانزیستورها و درنتیجه جریان مقاومت R به‌صورت زیر به دست می‌آید

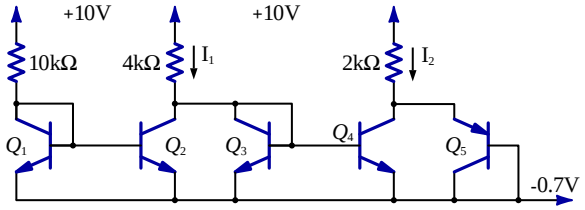
$$I_{C1} = I_{C2} = 2I_{C3} = 1^{mA} \quad \Longrightarrow \quad I_R = I_{C2} + I_{C3} = 1.5^{mA}$$

مقدار R با توجه به قرار گرفتن ترانزیستورهای خروجی در ناحیه فعال و عملکرد صحیح مدار تعیین می‌شود

$$10 - V_O > V_{EC(sat)} \quad \xRightarrow{V_O = R \times 1.5^{mA}} \quad R < 6.33^{k\Omega}$$

■

مثال۱۳. در مدار شکل زیر با فرض مشابه بودن ترانزیستورها و بزرگ بودن بتا، جریان I_{C5} را تعیین کنید.



حل. برای رسیدن به جریان Q_5 باید تک‌تک جریان‌ها را از چپ به راست و با چشم‌پوشی از جریان بیس‌ها تعیین کنیم. ابتدا جریان مقاومت $10\text{k}\Omega$ را تعیین می‌کنیم که جریان I_{C1} نیز با آن برابر است

$$I_{10k} = \frac{10^V - V_{BE1} - (-0.7^V)}{10^{k\Omega}} = 1^{mA}$$

ترکیب ترانزیستورهای Q_1 و Q_2 آینه جریان ایده‌آل هستند بنابراین $I_{C2} = I_{C1} = 1mA$ خواهد بود. حال با تعیین I_1 و نوشتن KCL در کلکتور Q_2 مقدار جریان I_{C3} به‌صورت زیر به دست می‌آید

$$I_1 = \frac{10^V - V_{BE3} - (-0.7^V)}{4^{k\Omega}} = 2.5^{mA} \quad \Longrightarrow \quad I_{C3} = I_1 - I_{C2} = 1.5^{mA}$$

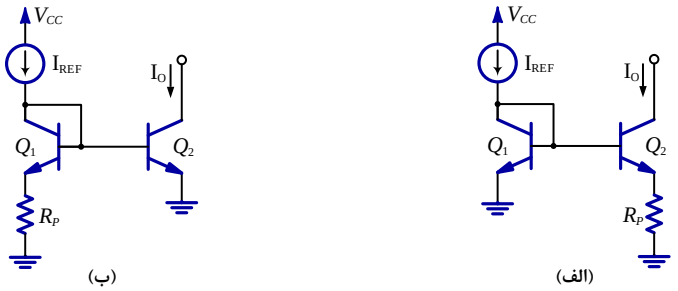
چون ترکیب ترانزیستورهای Q_3 و Q_4 هم آینه جریان ایده‌آل هستند لذا $I_{C4} = I_{C3} = 1.5mA$ خواهد بود و سرانجام با تعیین I_2 و نوشتن KCL در کلکتور Q_4 مقدار جریان I_{C5} به‌صورت زیر به دست می‌آید

$$I_1 = \frac{10^V - V_{EB5} - (-0.7^V)}{2^{k\Omega}} = 5^{mA} \quad \Longrightarrow \quad I_{C5} = I_2 - I_{C4} = 3.5^{mA}$$

■

نکته در ساخت آینه جریان دوقطبی ممکن است مقاومت انگلی در امیتر و بیس ترانزیستورها به وجود آید و باعث انحراف جریان خروجی از مقدار نامی خود شود. در مثال‌های زیر به این موضوع می‌پردازیم.

مثال۱۴. در مدار (الف)، جریان I_O نصف مقدار نامی و در (ب) جریان I_O دو برابر مقدار نامی‌اش است. با فرض تشابه ترانزیستورها و $\beta \gg 1$، مقدار مقاومت انگلی R_P را برحسب دیگر پارامترهای مدار به دست آورید.



(الف) در این مدار $I_O = 0.5I_{REF}$ و با نوشتن KVL در حلقه BE ترانزیستورها مقدار R_P تعیین می‌شود

$$V_{BE1} = V_{BE2} + I_O R_P \quad \Longrightarrow \quad V_T \ln\left(\frac{I_{REF}}{I_{S1}}\right) = V_T \ln\left(\frac{0.5I_{REF}}{I_{S2}}\right) + \left(\frac{I_{REF}}{2}\right) R_P$$

$$V_T \ln(2) = \left(\frac{I_{REF}}{2}\right) R_P \quad \Longrightarrow \quad R_P = \frac{2V_T \ln(2)}{I_{REF}}$$

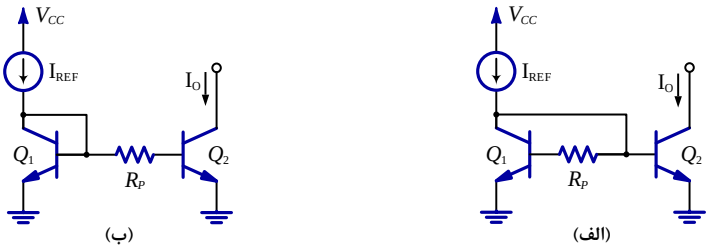
(ب) در این مدار $I_O = 2I_{REF}$ و با نوشتن KVL در حلقه BE ترانزیستورها مقدار R_P تعیین می‌شود

$$V_{BE1} + I_{REF}R_P = V_{BE2} \quad \Rightarrow \quad V_T \ln\left(\frac{I_{REF}}{I_{S1}}\right) + I_{REF}R_P = V_T \ln\left(\frac{2I_{REF}}{I_{S2}}\right)$$

$$I_{REF}R_P = V_T \ln(2) \quad \Rightarrow \quad R_P = \frac{V_T \ln(2)}{I_{REF}}$$

■

مثال۱۵. در مدار (الف) جریان I_O از مقدار نامی‌اش 10% بیشتر و در مدار (ب) جریان I_O از مقدار نامی‌اش 10% کمتر است. با فرض مشابه بودن ترانزیستورها و $\beta \gg 1$، مقدار مقاومت انگلی R_P را برحسب دیگر پارامترهای مدار به دست آورید.



(الف) با فرض $I_O = 1.1I_{REF}$ و نوشتن KVL در حلقه BE ترانزیستورها مقدار R_P به دست می‌آید

$$V_{BE1} + \frac{I_{C1}R_P}{\beta} = V_{BE2} \quad \Rightarrow \quad V_T \ln\left(\frac{I_{REF}}{I_{S1}}\right) + \frac{I_{C1}R_P}{\beta} = V_T \ln\left(\frac{1.1I_{REF}}{I_{S2}}\right)$$

$$\frac{I_{C1}}{\beta}R_P = V_T \ln(1.1) \quad \Rightarrow \quad R_P = \frac{\beta V_T \ln(1.1)}{I_{C1}}$$

حال با اعمال KCL در بیس Q_2، جریان I_{C1} را تعیین و در رابطه بالا قرار می‌دهیم تا R_P تعیین گردد

$$I_{REF} = I_{C1} + \frac{I_{C1}}{\beta} + \frac{I_O}{\beta} \quad \Rightarrow \quad I_{C1} = \frac{\beta I_{REF} - I_O}{\beta + 1} \quad \Rightarrow \quad R_P = \frac{\beta(\beta+1)V_T \ln(1.1)}{\beta I_{REF} - I_O}$$

(ب) با فرض $I_O = 0.9I_{C1}$ و نوشتن KVL در حلقه BE ترانزیستورها رابطه‌ای برای R_p به دست می‌آید

$$V_{BE1} = \frac{I_O}{\beta}R_P + V_{BE2} \quad \Rightarrow \quad V_T \ln\left(\frac{I_{C1}}{I_{S1}}\right) = \frac{I_O}{\beta}R_P + V_T \ln\left(\frac{I_O}{I_{S2}}\right)$$

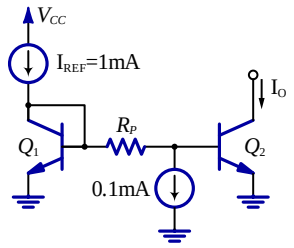
$$\frac{I_O}{\beta}R_P = V_T \ln(1.1) \quad \Rightarrow \quad R_P = \frac{\beta V_T \ln(1.1)}{0.9I_{C1}}$$

با اعمال KCL در بیس ترانزیستور Q_2، جریان I_{C1} را محاسبه کرده و در رابطه بالا قرار می‌دهیم

$$I_{REF} = I_{C1} + \frac{I_{C1}}{\beta} + \frac{I_O}{\beta} \quad \Rightarrow \quad I_{C1} = \frac{\beta I_{REF} - I_O}{\beta + 1} \quad \Rightarrow \quad R_P = \frac{\beta(\beta+1)V_T \ln(1.1)}{0.9(\beta I_{REF} - I_O)}$$

■

مثال۱۶. در مدار شکل زیر ترانزیستورها مشابه بوده و بتای ترانزیستورها بسیار بزرگ است. مقدار مقاومت R را به‌گونه‌ای بیابید که رابطه $I_O = 0.1I_{REF}$ برقرار باشد.



حل. با توجه به بزرگ بودن بتای ترانزیستورها، جریان بیس آن‌ها را برابر با صفر در نظر گرفته و لذا جریان 0.1mA از مقاومت R_P می‌گذرد. با نوشتن KVL در حلقه BE ترانزیستورها خواهیم داشت:

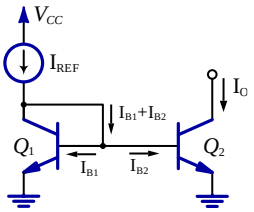
$$0.1^{mA} \times R_P = V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_{C1}}{I_{C2}}\right)$$

$$R_p = \left(\frac{25^{mV}}{0.1^{mA}}\right) \ln\left(\frac{I_{REF} - 0.1^{mA}}{0.1 I_{REF}}\right) = 250^{\Omega} \ln 9$$

توجه کنید که مقدار I_{C1} از KCL در کلکتور Q_1 و با فرض صفر بودن جریان بیس‌ها به دست آمده است. ■

۴-۳ آینه جریان دوقطبی با بتای محدود و ولتاژ ارلی بینهایت

در آینه جریان دوقطبی اگر β ترانزیستورها محدود باشد، در تعیین جریان خروجی باید جریان بیس‌ها را هم در نظر بگیریم. آینه جریان شکل ۱-۱۳ را در نظر بگیرید که در آن بتای ترانزیستورهای Q_1 و Q_2 به ترتیب β_1 و β_2 بوده و ولتاژ ارلی ترانزیستورها بینهایت است.



شکل ۱-۱۳ آینه جریان دوقطبی با بتای محدود و ولتاژ ارلی بینهایت

با نوشتن KCL در بیس ترانزیستورها و با فرض $I_{S2} = nI_{S1}$ و درنتیجه $I_{C2} = nI_{C1}$ خواهیم داشت:

$$I_{REF} = I_{C1} + I_{B1} + I_{B2} = \left(1 + \frac{1}{\beta_1}\right) I_{C1} + \frac{I_{C2}}{\beta_2}$$

$$I_{REF} = \left(1 + \frac{1}{\beta_1}\right) \frac{I_{C2}}{n} + \frac{I_{C2}}{\beta_2} = I_{C2} \left[\left(1 + \frac{1}{\beta_1}\right)\left(\frac{1}{n}\right) + \frac{1}{\beta_2}\right]$$

و با توجه به این‌که $I_O = I_{C2}$ است، بنابراین رابطه جریان خروجی به‌صورت زیر خواهد بود

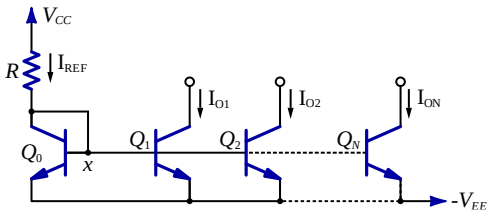
$$I_O = \frac{I_{REF}}{\left[\left(1 + \frac{1}{\beta_1}\right)\left(\frac{1}{n}\right) + \frac{1}{\beta_2}\right]}$$

اگر β ترانزیستورها برابر باشد جریان خروجی به‌صورت زیر بوده و برای ترانزیستورهای مشابه، $n = 1$ است

$$I_O = \frac{nI_{REF}}{1 + (n+1)/\beta} \quad \xrightarrow{I_{S2}=I_{S1}} \quad I_O = \frac{I_{REF}}{1 + 2/\beta}$$

نکته اگر مطابق شکل ۱-۱۴ تعداد خروجی‌های آینه جریان افزایش یابد، اثر محدود بودن بتا جدی‌تر می‌شود زیرا با اضافه کردن ترانزیستورهای بیشتر، منبع جریان مرجع باید جریان بیس آن‌ها را تأمین کند. برای تعیین جریان خروجی هر یک از ترانزیستورها، باید در گره x یک KCL بنویسیم

$$I_{REF} = I_{C0} + I_{B0} + I_{B1} + I_{B2} + \cdots + I_{BN}$$



شکل ۱-۱۴ آینه جریان با n جریان خروجی

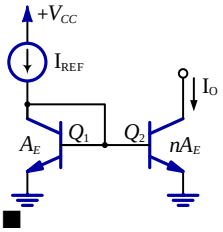
با فرض $I_{Sk} = n_k I_{S0}$ که در آن k شماره ترانزیستور خروجی است، جریان خروجی I_{Ok} برابر خواهد بود با:

$$I_{Ok} = \frac{n_k I_{REF}}{1 + \frac{1}{\beta_0} + \frac{n_1}{\beta_1} + \frac{n_2}{\beta_2} + \cdots + \frac{n_N}{\beta_N}}$$

و اگر ترانزیستورها مشابه باشند، همه جریان‌های خروجی برابر و به‌صورت زیر خواهند بود

$$I_{O1} = I_{O2} = \cdots = I_{ON} = \frac{I_{REF}}{1 + (N+1)/\beta}$$

مثال۱۷. در آینه جریان زیر کمترین مقدار β را طوری تعیین کنید که جریان خروجی در محدوده 5 درصدی مقدار نامی (nI_{REF}) باشد. اگر $\beta = 100$ باشد ماکزیمم مقدار n چقدر است؟



حل. برای برآورده شدن خواسته مسئله باید داشته باشیم:

$$\frac{I_O}{nI_{REF}} > 0.95 \quad \Rightarrow \quad \frac{1}{1 + (n+1)/\beta} > 0.95$$

$$1 + (n+1)/\beta < 1.05 \quad \Rightarrow \quad \beta > 20(n+1)$$

واضح است که برای $\beta = 100$ ماکزیمم مقدار n برابر 4 خواهد بود.

۴-۴ آینه جریان دوقطبی با بتا و ولتاژ ارلی محدود

در آینه جریان اگر Q_1 و Q_2 دارای بتا و ولتاژ ارلی یکسانی باشند و $I_{S2} = nI_{S1}$ باشد، می‌توان نشان داد جریان خروجی از رابطه زیر به دست می‌آید و برای ترانزیستورهای کاملاً تطبیق یافته $n = 1$ است.

$$I_O \cong \frac{nI_{REF}}{1 + \frac{n+1}{\beta}}\left(1 + \frac{V_{CE2} - V_{CE1}}{V_A}\right) \xrightarrow{V_{CE1}=V_{BE1}} I_O \cong \frac{nI_{REF}}{1 + \frac{n+1}{\beta}}\left(1 + \frac{V_{CE2} - V_{BE1}}{V_A}\right)$$

نکته رابطه بالا نشان می‌دهد که محدود بودن ولتاژ ارلی باعث می‌شود که با افزایش ولتاژ کلکتور ترانزیستور خروجی، جریان خروجی I_O افزایش یابد و می‌دانیم با افزایش I_O مقاومت خروجی منبع جریان کاهش خواهد یافت؛ بنابراین وابستگی I_O به V_O توسط مقاومت خروجی Q_2 (r_{o2}) تعیین می‌شود.

نکته در آینه جریان محدود بودن بتای ترانزیستور باعث می‌شود جریان خروجی منبع I_O با جریان مرجع I_{REF} برابر نباشد و کمتر از آن باشد. ولی مقاومت خروجی محدود ترانزیستور خروجی باعث افزایش I_O می‌شود و می‌تواند این کاهش جریان را جبران کند.

خطای ساختاری آینه جریان دوقطبی در آینه جریان دوقطبی مقدار نامی جریان خروجی برابر nI_{REF} است. خطای ساختاری بهره جریان از دو عامل محدود بودن بتا و محدود بودن مقاومت خروجی ترانزیستورها

(اثر ولتاژ ارلی) ناشی می‌شود. مقدار نسبی خطای ساختاری بهره جریان برابر است با:

$$\epsilon = \frac{I_O - nI_{REF}}{nI_{REF}} = \left[\frac{1+(V_{CE2}-V_{CE1})/V_A}{1+(n+1)/\beta} - 1\right] \cong \frac{V_{CE2}-V_{CE1}}{V_A} - \frac{n+1}{\beta}$$

مثال۱۸. در آینه جریان ساده با ترانزیستورهای تطبیق یافته، $V_{BE} = 0.6V$ و $V_{C2} = 30V$ است. به ازای ولتاژ ارلی $V_A = 100V$، اثر محدود بودن ولتاژ ارلی را بر جریان خروجی منبع بررسی کنید.

حل. با چشم‌پوشی از اثر ولتاژ ارلی، $I_{C2} = I_{C1}$ است ولی برای $V_A = 100V$، جریان خروجی منبع تا 23% با مقادیری که با فرض بینهایت بودن مقاومت خروجی ترانزیستور محاسبه شده است، تفاوت دارد

$$\frac{I_{C2}}{I_{C1}} = \frac{1+V_{CE2}/V_A}{1+V_{CE1}/V_A} = \frac{1+0.3}{1+0.06} = 1.23$$

■

مثال۱۹. اگر در آینه جریان $I_{REF} = 100\mu A$، $\beta = 150$ و $V_A = 150V$ باشد، به ازای چه ولتاژ خروجی، $I_O = 100\mu A$ می‌شود و در چه گستره‌ای از ولتاژهای خروجی، مقادیر I_O و I_{REF} کمتر از 1 درصد تفاوت دارند؟

حل. محدود بودن بتا باعث کاهش و محدود بودن ولتاژ ارلی باعث افزایش I_O می‌شود که این موضوع در این مسئله دیده می‌شود. با استفاده از رابطه جریان خروجی شرط برآورده شدن خواسته مسئله را تعیین می‌کنیم

$$I_O \cong \frac{I_{REF}}{1+2/\beta}\left(1+\frac{V_{CE2}-V_{CE1}}{V_A}\right) \quad \Rightarrow \quad 100^{\mu A} \cong \frac{100^{\mu A}}{1+2/150}\left(1+\frac{V_{CE2}-V_{CE1}}{150}\right)$$

$$1+\frac{2}{150} = \left(1+\frac{V_{CE2}-V_{CE1}}{150}\right) \quad \Rightarrow \quad V_{CE2} = 2.7^V$$

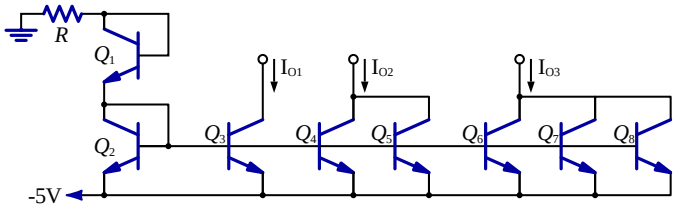
برای داشتن اختلاف یک درصدی بین جریان مرجع و جریان خروجی، باید داشته باشیم:

$$\frac{I_O}{I_{REF}} = 0.99 \quad \Rightarrow \quad \frac{1}{(1+2/150)}\left(1+\frac{V_{CE2}-V_{CE1}}{150}\right) = 0.99$$

$$(150 + V_{CE2} - V_{CE1}) = 155.5 \quad \xrightarrow{V_{CE1}=V_{BE1}} \quad V_{CE2} = 6.2^V$$

■

مثال۲۰. در مدار شکل زیر برای تمامی ترانزیستورها $V_A = 200V$ و $\beta = 100$ است. به ازای $I_{REF} = 1mA$، مقاومت R، جریان‌های خروجی و مقاومت‌های خروجی آن‌ها را بیابید.



حل. ابتدا از روی جریان مرجع داده‌شده، مقدار مقاومت R را تعیین می‌کنیم

$$I_{REF} = \frac{V_{EE}-2V_{BE}}{R} = 1^{mA} \quad \Rightarrow \quad R = \frac{5-1.4}{1^{mA}} = 3.6^{k\Omega}$$

به دلیل تشابه ترانزیستورها، جریان هر شش ترانزیستور خروجی برابر I و مقاومت خروجی آن‌ها r_o خواهد بود

$$I=\frac{I_{REF}}{1+(n+1)/\beta}=\frac{1^{mA}}{1+0.07}=0.93^{mA} \quad , \quad r_o=\frac{V_A}{I}=\frac{200}{0.93}=215^{k\Omega}$$

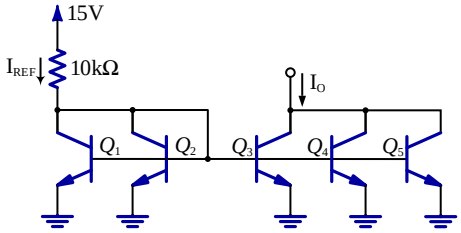
جریان خروجی و مقاومت خروجی مربوط به هر سه جریان خروجی عبارت‌اند از:

$I_{O1}=I=0.93^{mA}$ $I_{O2}=2I=1.86^{mA}$ $I_{O3}=3I=2.79^{mA}$

$R_{o1}=r_{o3}=215^{k\Omega}$ $R_{o2}=r_{o4}\|r_{o5}=107.5^{k\Omega}$ $R_{o3}=r_{o6}\|r_{o7}\|r_{o8}=71.7^{k\Omega}$

■

مثال۲۱. جریان خروجی و مقاومت خروجی منبع جریان زیر را تعیین کنید. جریان خروجی را برای حالت V_O برابر با 30 ولت به دست آورید. برای ترانزیستورها $\beta=100$ و $V_A=100$ فرض شود.



حل. دو ترانزیستور مرجع و سه ترانزیستور خروجی داریم لذا در رابطه جریان خروجی $n=3/2$ خواهد بود

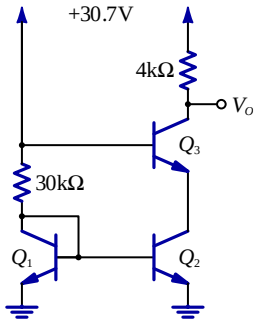
$$I_{REF}=\frac{V_{CC}-V_{BE1}}{R_{REF}}=\frac{15-0.6}{10}=1.44^{mA}$$

$$I_O=\left[\frac{nI_{REF}}{1+(n+1)/\beta}\right]\left[1+\frac{V_{CE2}-V_{CE1}}{V_A}\right]=\left(\frac{1.5\times 1.44}{1+(1.5+1)/100}\right)\left(1+\frac{30-0.6}{100}\right)=2.7^{mA}$$

$$R_o=\frac{V_A}{I_O}=\frac{100}{2.7^{mA}}=37^{k\Omega}$$

■

مثال۲۲. در مدار زیر با فرض تشابه ترانزیستورها و $\beta\gg 1$ و $V_A=100V$، ولتاژ V_O را محاسبه کنید.



حل. با فرض $\beta\gg 1$، جریان مقاومت $30k\Omega$ و I_{C1} برابر خواهد بود

$$I_{C1}=\frac{30.7^V-0.7^V}{30^{k\Omega}}=1^{mA}$$

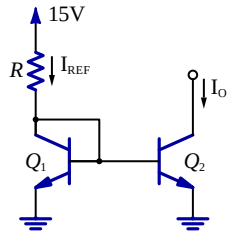
با در نظر گرفتن اثر ولتاژ ارلی و این‌که $V_{CE2}=30.7-V_{BE3}=30V$ و $V_{CE1}=V_{BE1}=0.7V$ است جریان I_{C2} به‌صورت زیر به دست می‌آید

$$I_{C2}=\left(1+\frac{V_{CE2}-V_{CE1}}{V_A}\right)I_{C1}\cong\left(1+\frac{30-0.7}{100}\right)1^{mA}\cong 1.3^{mA}$$

سرانجام ولتاژ خروجی برابر $V_O=30.7-4\times 1.3=25.5V$ می‌شود.

■

مثال۲۳. در مدار آینه جریان شکل زیر R را طوری تعیین کنید که $I_O=2mA$ شود. در این مدار اگر ولتاژ خروجی بین 1V تا 15V تغییر کند تغییرات جریان خروجی چقدر خواهد شد؟ برای ترانزیستورها $\beta\gg 1$ و $V_A=100V$ و $V_{BE}=0.7V$ فرض شود.



حل. با چشم‌پوشی از محدودیت بتا و ولتاژ ارلی، $I_O = I_{REF}$ خواهد بود

$$I_O = I_{REF} = \frac{V_{CC} - V_{BE}}{R} \quad \Longrightarrow \quad R = \frac{15^V - 0.7^V}{2^{mA}} = 7.15^{k\Omega}$$

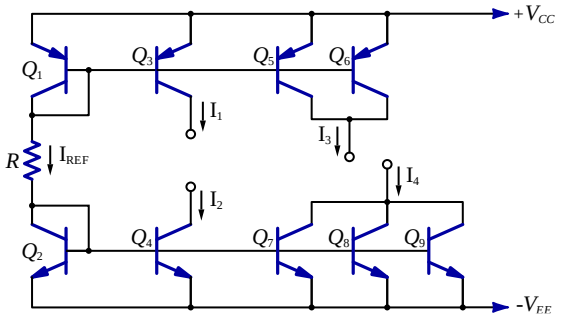
وابستگی I_O به V_O با مقاومت خروجی r_{o2} تعیین می‌شود

$$\Delta I_O = \frac{\Delta V_O}{r_{o2}} = \left(\frac{I_{C2}}{V_A}\right)\Delta V_O = \frac{15^V - 1^V}{50^{k\Omega}} = 0.28^{mA}$$

■

۴–۵ مدارهای چرخاننده جریان

در مدارات مجتمع برای بایاس طبقه‌های مختلف لازم است جریان مرجع در یک محل تولید شود و توسط مدارات آینه جریان نسبت‌های دلخواه و مختلفی از جریان مرجع در سایر قسمت‌های مدار، بازتولید گردد. این کار توسط مدارهای چرخاننده جریان انجام می‌شود و نمونه‌ای از آن در شکل ۱–۱۵ آورده شده است.



شکل ۱–۱۵ یک نمونه مدار چرخاننده جریان با استفاده از آینه‌های جریان npn و pnp

با فرض بتا و ولتاژ ارلی نامحدود برای ترانزیستورها، یک تحلیلی کیفی برای مدار شکل ۱–۱۵ ارائه می‌کنیم:

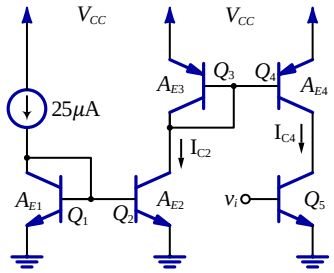
- جریان مرجع I_{REF} در شاخه شامل ترانزیستور Q_1، مقاومت R و ترانزیستور Q_2 تولید می‌شود

$$I_{REF} = \frac{V_{CC} + V_{EE} - V_{EB1} - V_{EB2}}{R}$$

- ترکیب ترانزیستورهای Q_1 و Q_3 یک مدار آینه جریان تشکیل می‌دهد؛ بنابراین Q_3 جریان ثابت $I_1 = I_{REF}$ را فراهم کرده و می‌تواند آن را به هر باری تحویل دهد به شرطی که Q_3 در ناحیه فعال کار کند و به اشباع نرود یعنی رابطه $V_{C3} < V_{CC} - V_{EB3}$ برقرار باشد.
- ترانزیستورهای موازی Q_5 و Q_6 به همراه Q_1 یک آینه جریان بوده و لذا $I_3 = 2I_{REF}$ است. توجه کنید که ترکیب موازی Q_5 و Q_6 هم‌ارز ترانزیستوری است که A_E آن، دو برابر A_E ترانزیستور Q_1 است.
- ترکیب ترانزیستورهای Q_2 و Q_4 یک آینه جریان هستند؛ بنابراین Q_4 جریان ثابت $I_2 = I_{REF}$ را تأمین می‌کند به شرطی که Q_4 در ناحیه فعال کار کند یعنی رابطه $V_{C4} > -V_{EE} + V_{BE4}$ برقرار باشد.
- با این‌که Q_3 و Q_4 جریان یکسانی را تأمین می‌کنند ولی این کار را به دو صورت متفاوت انجام می‌دهند؛ Q_3 جریان خود را در بخش‌هایی از مدار می‌تواند بیرون دهد که ولتاژ آن‌ها از $V_{CC} - V_{EB3}$ تجاوز نکند. از طرفی Q_4 از بخش‌هایی می‌تواند جریان به درون خود بکشد که ولتاژ آن‌ها از $-V_{EE} + V_{BE4}$ کمتر نباشد.

- ترانزیستورهای موازی Q_7، Q_8 و Q_9 با Q_2 تشکیل یک آینه جریان داده و جریان $3I_{REF}$ تولید می‌کنند.
- در تحقق جریانی به‌اندازه $N \times I_{REF}$ در داخل ICها به‌جای موازی کردن N ترانزیستور می‌توان از یک ترانزیستور استفاده کرد به‌طوری‌که سطح پیوند امیتر - بیس آن، N برابر سطح پیوند امیتر - بیس ترانزیستور اتصال دیودی در مدار آینه جریان باشد. به لحاظ عملی N حداکثر برابر 10 است.

مثال۲۴. در مدار شکل زیر می‌خواهیم جریان بایاس Q_4 و Q_5 برابر 1mA باشد. ضرایب مقیاس مدار را طوری تعیین کنید که تعداد ترانزیستورهای پایه مینیمم شود.



حل. ضریب مقیاس کل مدار (ضریب بهره جریان) است $\frac{1mA}{25\mu A} = 40$

$$A_{I(npn)} \times A_{I(pnp)} = 40$$

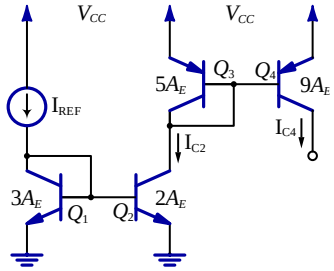
چهار انتخاب ممکن برای برآورده شدن رابطه بالا عبارت‌اند از:

$$A_{I(npn)} = 8 \quad , \quad A_{I(pnp)} = 5$$
$$A_{I(npn)} = 10 \quad , \quad A_{I(pnp)} = 4$$
$$A_{I(npn)} = 20 \quad , \quad A_{I(pnp)} = 2$$
$$A_{I(npn)} = 40 \quad , \quad A_{I(pnp)} = 1$$

توجه کنید که در هر انتخابی می‌توان ضریب مقیاس npn و pnp را جابجا کرد. در انتخاب اول 15، در انتخاب دوم 16، در انتخاب سوم 24 و در انتخاب چهارم 43 ترانزیستور پایه لازم خواهد بود.

■

مثال۲۵. جریان خروجی مدار زیر را با در نظر گرفتن جریان بیس بیابید. ولتاژ ارلی را بینهایت فرض کنید.



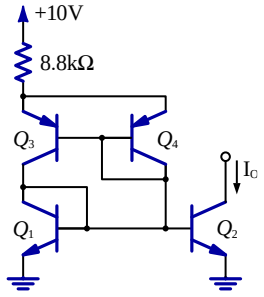
حل. با به کار بردن رابطه جریان خروجی آینه جریان با بتای محدود برای هر دو آینه جریان خواهیم داشت:

$$I_{C2} = \frac{nI_{REF}}{1+\frac{n+1}{\beta}} = \frac{\beta\left[\frac{A_{E2}}{A_{E1}}\right]I_{REF}}{\beta+\left[1+\frac{A_{E2}}{A_{E1}}\right]} = \left[\frac{2\beta}{3\beta+5}\right]I_{REF}$$

$$I_{C4} = \frac{nI_{C2}}{1+\frac{n+1}{\beta}} = \frac{\beta\left[\frac{A_{E4}}{A_{E3}}\right]I_{C2}}{\beta+\left[1+\frac{A_{E4}}{A_{E3}}\right]} = \left[\frac{9\beta}{5\beta+14}\times\frac{2\beta}{3\beta+5}\right]I_{REF}$$

■

مثال۲۶. در مدار شکل زیر با فرض بتا و ولتاژ ارلی بینهایت و $V_{BE} = 0.6V$ جریان I_O را تعیین کنید.



حل. ابتدا جریان گذرنده از مقاومت 8.8kΩ را تعیین می‌کنیم

$$I = \frac{10^V - 0.6^V - 0.6^V}{8.8^{k\Omega}} = 1^{mA}$$

با نوشتن KCL در کلکتور Q_1 مقدار جریان I_{C1} به دست می‌آید

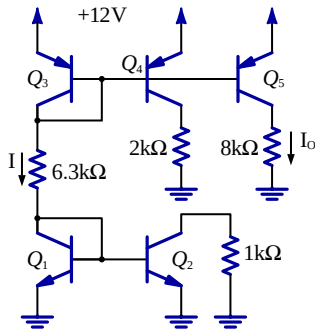
$$I_{C1} = I_{C4} + I_{C3} = 1^{mA}$$

و چون $V_{BE1} = V_{BE2}$ است بنابراین $I_{C2} = I_{C1}$ خواهد بود

$$I_O = 1^{mA}$$

■

مثال۲۷. در مدار شکل زیر با فرض این‌که ترانزیستورها مشابه بوده و دارای $\beta \gg 1$، $V_{BE} = 0.6V$ و $V_{CE(sat)} = 0V$ هستند، جریان خروجی I_O را به دست آورید.



حل. از روی مدار $I_{C1} = I_{C3} = I$ و مقدار جریان I برابر است با:

$$I = \frac{12^V - 0.6^V - 0.6^V}{3.6^{k\Omega}} = 3^{mA}$$

با توجه به عملکرد آینه‌های جریان موجود در مدار خواهیم داشت:

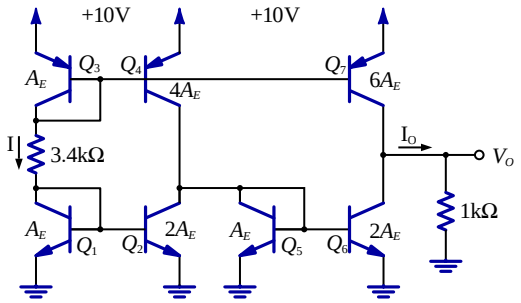
$$I_{C2} = I_{C1} = 3^{mA} \quad \& \quad I_{C5} = I_{C4} = I_{C3} = 3^{mA}$$

ولی به ازای $I_{C5} = 3\text{mA}$ ولتاژ کلکتور Q_5 برابر 24V می‌شود و Q_5 در ناحیه اشباع قرار دارد درنتیجه I_O به‌صورت زیر خواهد بود

$$I_O = \frac{12^V - V_{CE(sat)}}{8^{k\Omega}} = 1.5^{mA}$$

■

مثال۲۸. در مدار شکل زیر با فرض بزرگ بودن بتای ترانزیستورها، ولتاژ خروجی V_O را به دست آورید.



حل. جریان‌های I_{C1} و I_{C3} یکسان و برابر با I هستند و مقدار جریان I به‌صورت زیر به دست می‌آید

$$I = \frac{V_{CC} - V_{EB3} - V_{BE1}}{R} = \frac{10^V - 0.7^V - 0.7^V}{4.3^{k\Omega}} = 2^{mA}$$

حال با توجه به مفاهیم آینه جریان، مقدار جریان‌های I_{C2}، I_{C4} و I_{C7} را محاسبه می‌کنیم

$$I_{C2} = \left(\frac{A_{E2}}{A_{E1}}\right) I_{C1} = 2I \quad , \quad I_{C4} = \left(\frac{A_{E4}}{A_{E3}}\right) I_{C3} = 4I \quad , \quad I_{C4} = \left(\frac{A_{E7}}{A_{E3}}\right) I_{C3} = 6I$$

با نوشتن KCL در کلکتور Q_5 مقدار I_{C5} و از روی آن مقدار I_{C6} نیز تعیین می‌شود

$$I_{C5} = I_{C4} - I_{C2} = 4I - 2I = 2I \quad \Longrightarrow \quad I_{C6} = \left(\frac{A_{E6}}{A_{E5}}\right) I_{C5} = 4I$$

و مقدار جریان خروجی و ولتاژ خروجی به‌صورت زیر خواهد بود

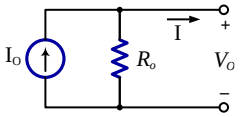
$$I_O = I_{C7} - I_{C6} = 4^{mA} \quad \Longrightarrow \quad V_O = 1^{k\Omega} \times I_O = 4^V$$

به ازای ولتاژ خروجی به‌دست‌آمده، Q_6 و Q_7 هر دو در ناحیه فعال قرار دارند و جواب قابل‌قبول است. توجه کنید با فرض $|V_{CE(sat)}| = 0$، اگر مقاومتی بزرگ‌تر از 2.5kΩ به خروجی وصل کنیم Q_7 به اشباع می‌رود.

■

۴–۶ نمایش منبع جریان با مدار معادل نورتن

تا زمانی که ترانزیستورهای منبع جریان در ناحیه فعال قرار داشته باشند، هر منبع جریانی را می‌توان با یک مقاومت خروجی R_o و یک جریان خروجی I_O (مدار معادل نورتن) مطابق شکل ۱-۱۶ مشخص کرد. به‌طورکلی در مدارهای عملی هنگامی‌که جریان خروجی افزایش می‌یابد، مقاومت خروجی کاهش خواهد یافت.



شکل ۱-۱۶ مدار معادل نورتن منبع جریان

معمولاً در یک منبع جریان مشخص، ولتاژ تونن مستقل از مقدار خاص طراحی I_O، ثابت می‌ماند. به‌عنوان‌مثال در آینه جریان ساده ولتاژ تونن (ولتاژ مدارباز) برابر با ولتاژ ارلی است.

$$V_{th} = R_o I_O = I_{C2} r_{o2} = I_{C2}\left(\frac{V_A}{I_{C2}}\right) = V_A$$

در منابع جریان پیچیده‌تر، V_{th} از V_A بزرگ‌تر است. توجه کنید نمایش‌های تونن و نورتن تنها برای مقادیری از ولتاژ خروجی منبع جریان معتبر هستند که به ازای آن‌ها ترانزیستورهای مدار در ناحیه فعال قرار گیرند.

۴–۷ معایب مدار آینه جریان دوقطبی

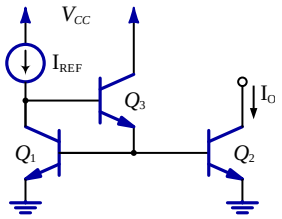
برای عملکرد بهتر آینه جریان دوقطبی، دو پارامتر در آن نیاز به اصلاح دارد که این پارامترها عبارت‌اند از:

۱- جریان خروجی به بتا بستگی دارد که نتیجه این وابستگی ایجاد خطای بهره جریان آینه براثر بتای محدود ترانزیستور است. تغییرات حرارتی نیز به‌شدت می‌تواند مقدار بتا و جریان خروجی را تغییر دهد.

۲- مقاومت خروجی منبع جریان (r_{o2}) کوچک بوده و به چند صد کیلو اهم محدود می‌شود.

۵ آینه جریان دوقطبی بهبود یافته

یکی از معایب آینه جریان ساده، وابستگی جریان خروجی I_O به بتای ترانزیستورها است. این وابستگی به دلیل محدود بودن بتا باعث ایجاد خطای بهره جریان می‌شود به‌طوری‌که برای بتای کم خطای بهره جریان زیاد می‌شود. همچنین هرچه تعداد ترانزیستورهای خروجی بیشتر باشد این وابستگی خود را بیشتر نشان می‌دهد. وابستگی جریان خروجی به بتا ناشی از جریان بیس ترانزیستورها است و برای حل این مشکل باید جریان کشیده شونده از کلکتور Q_1 به سمت بیس ترانزیستورها را کاهش دهیم. یکی از روش‌های متداول، استفاده از ترانزیستور بهره در آینه جریان به‌صورت مدار شکل ۱-۱۷ است. در این روش ترانزیستور Q_3، اثر جریان بیس‌ها روی جریان مرجع را با ضریب $1/\beta_3$ کاهش می‌دهد. این روش را **جبرانسازی جریان بیس** می‌نامند.



شکل ۱-۱۷ آینه جریان دوقطبی بهبودیافته

جریان خروجی با نوشتن KCL در بیس ترانزیستورها و محاسبه I_{B3} برحسب I_{C1} و I_{C2} خواهیم داشت:

$$I_{REF} = I_{C1} + I_{B3}$$

$$I_{B3} = \frac{I_{E3}}{\beta_3 + 1} = \frac{I_{B1} + I_{B2}}{\beta_3 + 1} = \frac{I_{C1}}{\beta_1(\beta_3 + 1)} + \frac{I_{C2}}{\beta_2(\beta_3 + 1)}$$

$$I_{REF} = I_{C1} + \frac{I_{C1}}{\beta_1(\beta_3 + 1)} + \frac{I_{C2}}{\beta_2(\beta_3 + 1)}$$

با چشم‌پوشی از اثر ولتاژ ارلی و با فرض $A_{E2} = nA_{E1}$ جریان خروجی به‌صورت زیر به دست می‌آید

$$I_O = \frac{nI_{REF}}{1 + \frac{1}{\beta_1(\beta_3+1)} + \frac{n}{\beta_2(\beta_3+1)}}$$

و اگر بتای همه ترانزیستورها یکسان و برابر β باشد، جریان خروجی به‌صورت زیر خواهد بود

$$I_O = \frac{nI_{REF}}{1 + \frac{n+1}{\beta(\beta+1)}} \cong \frac{nI_{REF}}{1 + \frac{n+1}{\beta^2}} \cong \left[1 - \frac{n+1}{\beta^2}\right] I_{REF}$$

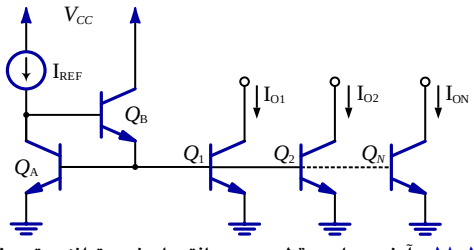
و برای ترانزیستورهای تطبیق یافته جریان خروجی از رابطه بالا و به ازای $n = 1$ به دست می‌آید.

نکته توجه کنید که جریان خروجی آینه جریان بهبودیافته تنها به سطح امیتر ترانزیستورهای Q_1 و Q_2 بستگی دارد و سطح امیتر ترانزیستور Q_3 هیچ تأثیری روی جریان خروجی ندارد.

نکته رابطه بالا نشان می‌دهد که با چشم‌پوشی از اثرات مقاومت خروجی، جریان مرجع و جریان خروجی تنها با ضریبی از مرتبه $1/\beta^2$ تفاوت دارند و واضح است که وابستگی این مدار به β نسبت به مدار آینه جریان به‌مراتب کمتر است و حتی با تقریب بسیار مناسبی $I_O \cong I_{REF}$ است و تغییرات بتا در اثر دما و فرکانس بر جریان خروجی این منبع جریان نیز تأثیر بسیار کمی خواهد داشت.

نکته چون جریان گیت ماسفت برابر با صفر است و بتا در رابطه جریان خروجی آینه جریان ماسفتی حضور ندارد؛ بنابراین در ساختار ماسفتی نیازی به ترانزیستور بهره برای کاهش اثر بتا وجود ندارد ولی می‌توان از آرایش منبع جریان آینه‌ای بهبودیافته دوقطبی و ماسفتی برای افزایش پهنای باند استفاده کرد.

نکته در آینه جریان بهبودیافته و مطابق شکل ۱-۱۸، می‌توان با اتصال چند ترانزیستور مشابه با کلکتورهای مستقل به‌موازات ترانزیستور خروجی، از یک مرجع چند جریان خروجی تولید کرد.

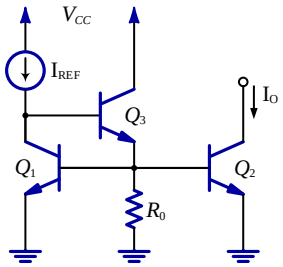


شکل ۱-۱۸ آینه جریان دوقطبی بهبودیافته با چندین ترانزیستور خروجی

زمانی که تعداد خروجی‌های مستقل بزرگ‌تر می‌شود جریان کل بیس آن‌ها،که با امیتر Q_3 فراهم می‌شود، نیز افزایش می‌یابد ولی این خطا با ضریب $\beta_3 + 1$ کاهش می‌یابد. مقدار جریان‌های خروجی برابر خواهند بود با:

$$I_{O1} = I_{O2} = \cdots = I_{ON} = \frac{I_{REF}}{1 + \frac{N+1}{\beta(\beta_3+1)}}$$

نکته بتای ترانزیستور شدیداً به جریان کلکتور وابسته است و چون جریان Q_3 به‌اندازه کافی کوچک‌تر از جریان‌های Q_1 و Q_2 است بنابراین باید انتظار داشته باشیم که β_3 نسبت به β_1 و β_2 کوچک‌تر باشد. برای این‌که تغییرات β_1 و β_2 به‌طور محسوسی در خروجی ظاهر نشود باید β_3 مقدار بزرگی داشته باشد. یکی از روش‌های افزایش β_3، بالا بردن جریان Q_3 است و برای این کار مطابق شکل ۱-۱۹، مقاومت R_0 بین گره امیتر Q_3 و زمین قرار داده می‌شود.

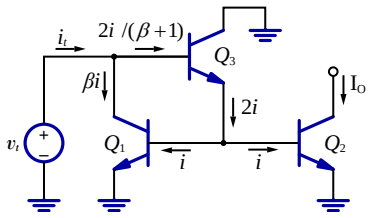


شکل ۱-۱۹ مدار آینه جریان دوقطبی بهبودیافته برای افزایش β_3

مقاومت R_0 باید طوری انتخاب شود که جریان I_{C3} برابر جریان‌های Q_1 و Q_2 شود؛ بنابراین با این روش می‌توان β_3 را به‌اندازه کافی افزایش داد تا I_O مستقل از β_1 و β_2 شود.

$$I_{E3} = I_{B1} + I_{B2} + \frac{V_{BE}}{R_0} \qquad \Rightarrow \qquad R_0 = \frac{V_{BE}}{I_{C1}\left(1 - \frac{1}{\beta_1} - \frac{1}{\beta_2}\right)}$$

مقاومت ورودی مطابق شکل ۱-۲۰ با قرار دادن منبع ولتاژ آزمون v_t در ورودی مدار سیگنال کوچک منبع جریان و تحلیل نظری مدار، می‌توان مقاومت ورودی مدار را تعیین کرد.



شکل ۱-۲۰ مدار تعیین مقاومت ورودی منبع جریان آینه‌ای بهبودیافته

با توجه به مدار شکل بالا جریان i_t و ولتاژ v_t برحسب جریان پایه i به‌صورت زیر محاسبه می‌شوند

$$i_t = \beta i + \frac{2i}{\beta + 1} \cong \beta i \qquad , \qquad v_t = r_{e3} \times 2i + r_{e1} \times (\beta + 1)i$$

با توجه به رابطه $r_e = V_T/I_E$ در ترانزیستورها، r_{e3} را برحسب r_{e1} تعیین کرده و در رابطه بالا قرار می‌دهیم

$$r_{e3}=\frac{V_T}{2I_B}=\frac{\beta+1}{2}\left[\frac{V_T}{(\beta+1)I_B}\right]=\left[\frac{\beta+1}{2}\right]r_{e1} \quad \Longrightarrow \quad R_i=\frac{v_t}{i_t}=\frac{2r_{e1}\times(\beta+1)i}{\beta i}\cong 2r_{e1}$$

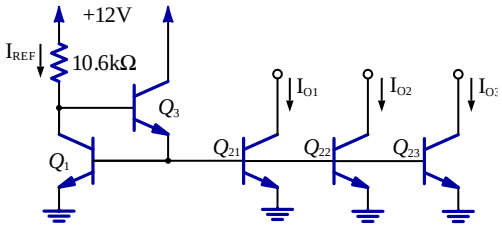
مشاهده می‌شود مقاومت ورودی نسبت به آینه جریان ساده بیشتر شده است که خاصیت مطلوبی نیست.

مقاومت خروجی ترانزیستور بهره جریان و مقاومت R_0 در شکل ۱-۱۹، مقاومت خروجی آینه جریان را تغییر نمی‌دهند و در این مدار هم مقاومت خروجی همچنان r_{o2} است.

حداقل ولتاژ خروجی در این منبع حداقل مقدار ولتاژ خروجی برابر $V_{O(min)}=V_{CE(sat)}$ است و مشاهده می‌شود که مقدار آن نسبت به حداقل ولتاژ خروجی آینه جریان ساده تغییری نکرده است.

ولتاژ ورودی با نوشتن KVL در حلقه شامل بیس – امیتر Q_3 و Q_1، ولتاژ ورودی برابر $V_I=V_{BE1}+V_{BE3}$ به دست می‌آید که به‌اندازه V_{BE3} نسبت به منبع جریان آینه‌ای ساده افزایش یافته است.

مثال۲۹. در مدار زیر مقدار β را طوری بیابید تا جریان‌های خروجی با جریان مرجع 1% اختلاف داشته باشند. ترانزیستورها مشابه بوده و برای آن‌ها $V_{BE}=0.7V$ و $V_A=100V$ است.



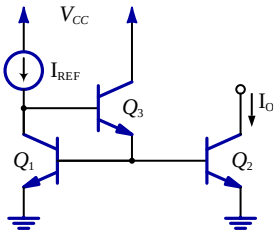
حل. با توجه به تشابه ترانزیستورها، جریان همه خروجی‌ها برابرند و می‌توان β را به‌صورت زیر تعیین کرد

$$\frac{I_{O1}}{I_{REF}}\cong\left[1-\frac{3+1}{\beta^2}\right]=0.99 \quad \Longrightarrow \quad \frac{3+1}{\beta^2}=0.01 \quad \Longrightarrow \quad \beta=20$$

در این مسئله نیازی به محاسبه مقدار I_{REF} نیست هرچند واضح است که مقدار آن برابر $1mA$ است.

■

مثال۳۰. در مدار شکل زیر اگر سطح امیتر ترانزیستورها به‌صورت $A_{E1}=nA_E$، $A_{E2}=mA_E$ و $A_{E3}=kA_E$ بتای ترانزیستورها برابر باشد، جریان خروجی را به دست آورید.



حل. با توجه به داده‌های مسئله می‌توان جریان همه ترانزیستورها را برحسب جریان خروجی نوشت:

$$I_{C2}=I_O \quad , \quad I_{C1}=\left(\frac{n}{m}\right)I_O \quad , \quad I_{E3}=I_{B1}+I_{B2}=\left(\frac{n}{m}\right)\frac{I_O}{\beta}+\frac{I_O}{\beta}$$

حال با نوشتن KCL در کلکتور ترانزیستور Q_1 می‌توان جریان خروجی I_O را برحسب I_{REF} به دست آورد

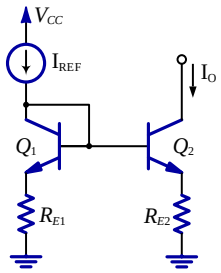
$$I_{REF} = I_{C1} + I_{B3} = \left[\frac{n}{m}\right] I_O + \left(\frac{1}{\beta+1}\right)\left(\left[\frac{n}{m}\right]\frac{I_O}{\beta} + \frac{I_O}{\beta}\right)$$

$$I_O = \frac{I_{REF}}{\left[\frac{n}{m}\right] + \frac{1}{\beta}\left(\frac{1}{\beta+1}\right)\left(\left[\frac{n}{m}\right]+1\right)} = \frac{mI_{REF}}{n + \frac{n+m}{\beta(\beta+1)}}$$

مشاهده می‌شود سطح مقطع ترانزیستور Q_3، تأثیری روی جریان خروجی آینه جریان بهبودیافته ندارد. ■

۶ آینه جریان دوقطبی با فیدبک امیتری

برای بالا بردن کیفیت و انعطاف‌پذیری منبع جریان آینه‌ای، مطابق شکل ۱-۲۱ از مقاومت‌های فیدبک امیتری استفاده می‌کنند که (۱) مقاومت خروجی منبع جریان افزایش می‌دهد (۲) وابستگی جریان خروجی منبع جریان به حرارت را کاهش می‌دهد (۳) تطابق میان جریان مرجع و جریان خروجی را بهبود می‌دهد.



شکل ۱-۲۱ آینه جریان دوقطبی با فیدبک امیتری

جریان خروجی با نوشتن KVL در مسیر بیس - امیتر هر دو ترانزیستور خواهیم داشت:

$$V_{BE1} + R_{E1}I_{E1} = V_{BE2} + R_{E2}I_{E2}$$

$$I_{C1}R_{E1} + V_T \ln\left[\frac{I_{C1}}{I_{S1}}\right] = I_{C2}R_{E2} + V_T \ln\left[\frac{I_{C2}}{I_{S2}}\right]$$

با مرتب کردن روابط بالا و با توجه به این‌که $I_O = I_{C2}$ جریان خروجی به‌صورت زیر خواهد بود

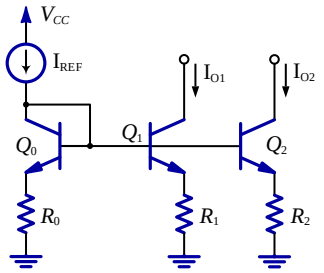
$$I_O = \left(\frac{R_{E1}}{R_{E2}}\right) I_{C1} + \left(\frac{V_T}{R_{E2}} \ln\left[\frac{I_{C1}}{I_{C2}} \times \frac{I_{S2}}{I_{S1}}\right]\right)$$

جمله لگاریتمی بالا مقدار کوچکی دارد لذا اگر افت ولتاژهای $R_{E1}I_{C1}$ و $R_{E2}I_{C2}$ بسیار بزرگ‌تر از V_T باشند، می‌توان از عبارت داخل پرانتز صرف‌نظر کرد حتی اگر سطح امیتر ترانزیستورهای Q_1 و Q_2 یکسان نباشند

$$I_O \cong \left(\frac{R_{E1}}{R_{E2}}\right) I_{C1} \quad \xrightarrow{I_{C1} \cong I_{REF}} \quad I_O = \left(\frac{R_{E1}}{R_{E2}}\right) I_{REF}$$

نکته ماسفت‌ها ذاتاً مقاومت کنترل‌شده با ولتاژ هستند و مقاومت سورس به‌ندرت در آینه‌های جریان ماسفتی به کار می‌رود. تطبیق در آینه جریان ماسفتی را می‌توان به‌راحتی با تغییر مساحت گیت ماسفت‌ها بهبود بخشید و با تغییر نسبت $[W/L]$ به مقادیر مختلف جریان خروجی دست یافت. همچنین با افزایش طول کانال (L) می‌توان مقاومت خروجی را زیاد کرد و چون به همان نسبت W باید زیاد شود لذا بهای افزایش هم‌زمان جریان و مقاومت خروجی، زیاد شدن مساحت گیت است.

نکته مطابق شکل ۱-۲۲ می‌توان چندین جریان خروجی تولید کرد و با انتخاب مقاومت‌های مختلف در امیتر ترانزیستور مرجع و ترانزیستورهای خروجی، می‌توان به جریان‌های خروجی متفاوتی دست یافت.



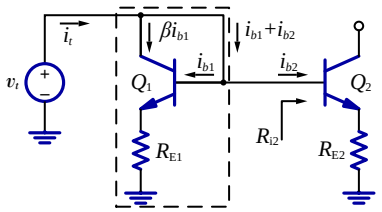
شکل ۱-۲۲ آینه جریان دوقطبی با فیدبک امیتری دارای چندین خروجی

واضح است که هر ترانزیستور خروجی که مقاومت امیترش کمتر باشد، جریان خروجی‌اش بیشتر خواهد بود.

$$I_{O1} = \left[\frac{R_0}{R_1}\right] I_{REF} \quad , \quad I_{O2} = \left[\frac{R_0}{R_2}\right] I_{REF}$$

توجه کنید که اگر مساحت ترانزیستورهای خروجی متفاوت باشند بازهم روابط بالا معتبر هستند.

مقاومت ورودی با استفاده از مدار شکل ۱-۲۳ و نوشتن KVL و KCL و ساده‌سازی روابط، می‌توان رابطه بین ولتاژ و جریان منبع آزمون و درنتیجه مقاومت ورودی مدار را محاسبه کرد. ولی برای راحتی کار، با نگرشی دیگر به محاسبه مقاومت ورودی می‌پردازیم.



شکل ۱-۲۳ مدار تعیین مقاومت ورودی آینه جریان دوقطبی با فیدبک امیتری

از مدار شکل ۱-۲۳ واضح است که مقاومت ورودی برابر با $R_{i1}\|R_{i2}$ است که در آن R_{i1} مقاومت معادل بلوک مشخص‌شده در شکل بالا و R_{i2} مقاومت دیده شونده از بیس ترانزیستور Q_2 است.

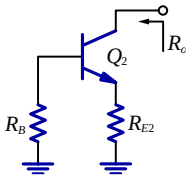
$$R_i = R_{i1}\|R_{i2}$$

می‌دانید که مقاومت معادل یک ترانزیستور اتصال دیودی برابر $r_{e1}\|r_{o1}$ است و وقتی مقاومتی در امیتر آن قرار می‌گیرد مقاومت معادل برابر با $(r_{e1}\|r_{o1}) + R_{E1}$ بوده و درنتیجه مقاومت ورودی R_i برابر خواهد بود با:

$$R_i = [(r_{e1}\|r_{o1}) + R_{E1}]\|[(\beta+1)(r_{e2}+R_{E2})] \cong r_{e1} + R_{E1}$$

مقاومت خروجی برای تعیین مقاومت خروجی از مدار شکل ۱-۲۴ استفاده می‌کنیم که در آن R_B مقاومت دیده شونده از بیس Q_2 به خارج است. مقدار مقاومت خروجی برابر خواهد بود با:

$$R_o \cong \left(1 + \frac{\beta R_{E2}}{R_{E2} + R_B + r_\pi}\right) r_o \quad ; R_B = r_{e1} + R_{E1}$$

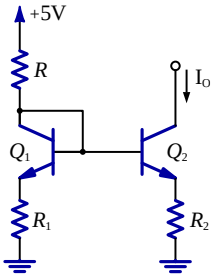


شکل ۱-۲۴ مدار تعیین مقاومت خروجی آینه جریان دوقطبی با فیدبک امیتری

حداقل ولتاژ خروجی در این آینه جریان، حداقل ولتاژ خروجی لازم $V_{O(min)} = V_{CE(sat)} + R_{E2}I_O$ است. مشاهده می‌شود که وجود مقاومت در امیتر Q_2 باعث افزایش $V_{O(min)}$ شده است که مطلوب نیست ولی همین مقاومت فیدبک امیتری باعث افزایش مقاومت خروجی منبع R_o شده است که ویژگی مطلوبی است.

ولتاژ ورودی ولتاژ ورودی منبع جریان آینه‌ای با مقاومت امیتر، برابر $V_I = |V_{BE1}| + R_{E1}I_{REF}$ است.

مثال ۳۱. در مدار زیر با استفاده از جریان مرجع $1mA$، یک منبع جریان 3mA طراحی کنید. ترانزیستورها مشابه بوده و دارای بتای بسیار بزرگ هستند و به ازای $I_C = 1mA$، $V_{BE} = 0.7V$ است.



حل. با نوشتن KVL در حلقه شامل V_{BE1} و V_{BE2} خواهیم داشت:

$$I_{R2} \cong I_O = 3^{mA} \quad , \quad I_{R1} = I_R = 1^{mA}$$
$$V_{BE1} - V_{BE2} = R_2I_O - R_1I_{R1} = 3R_2 - R_1$$
$$3R_2 - R_1 = V_T \ln\frac{I_{R1}}{I_O} = 0.025 \ln\frac{1}{3} = 0.027$$

با نوشتن KVL دیگر در حلقه شامل مقاومت R رابطه زیر به دست می‌آید

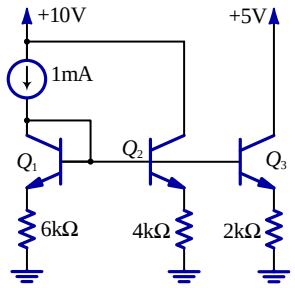
$$V_{CC} = RI_R + V_{BE} + R_1I_{R1} \quad \Longrightarrow \quad R + R_1 = 4.3^{k\Omega}$$

معادله بالا بیشمار جواب دارد و یکی از این جواب‌ها می‌تواند به‌صورت زیر باشد

$$R = 1^{\text{k}\Omega} \quad , \quad R_{E1} = 3.3^{\text{k}\Omega} \quad , \quad R_{E2} = 1.09^{\text{k}\Omega}$$

■

مثال ۳۲. در مدار زیر جریان‌های I_{C1}، I_{C2} و I_{C3} را با فرض $\beta \gg 1$، $V_{CE(sat)} = 0.2V$ و $V_{BE} = 0.7V$ بیابید.



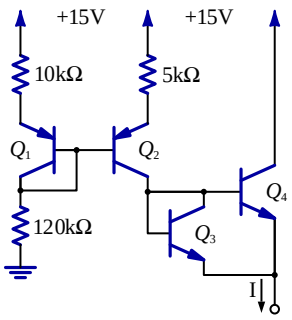
حل. به دلیل $\beta \gg 1$ مقدار جریان I_{C1} برابر 1mA خواهد بود و جریان کلکتورهای Q_2 و Q_3 و ولتاژ امیتر آن‌ها به‌صورت زیر خواهد بود

$$I_{C2} = \left[\frac{R_{E1}}{R_{E2}}\right] I_{C1} = \left[\frac{6}{4}\right] \times 1^{mA} = 1.5^{mA} \quad \Longrightarrow \quad V_{E2} = 6^V$$
$$I_{C3} = \left[\frac{R_{E1}}{R_{E3}}\right] I_{C1} = \left[\frac{6}{2}\right] \times 1^{mA} = 3^{mA} \quad \Longrightarrow \quad V_{E3} = 6^V$$

بنابراین Q_2 در ناحیه فعال و Q_3 در ناحیه اشباع قرار دارد. جریان به دست آمده در بالا برای Q_2 معتبر است ولی جریان I_{C3} برابر 2.4^{mA} خواهد بود

■

مثال ۳۳. در منبع جریان شکل زیر، ترانزیستورهای npn دارای $\beta = 250$ و $r_o = 50\text{k}\Omega$ بوده و همه ترانزیستورها دارای $V_{BE} = 0.7V$ و $V_T = 25mV$ هستند. جریان I چقدر است؟



حل. به دلیل بزرگ بودن بتا، از جریان بیس ترانزیستورها چشم‌پوشی می‌کنیم. ابتدا جریان ترانزیستور Q_1 را محاسبه می‌کنیم

$$I_{C1} = \frac{15^V - 0.7^V}{10^\Omega + 120^\Omega} = 0.11^{mA}$$

ترانزیستورهای Q_1 و Q_2 آینه جریان با مقاومت فیدبک امیتری هستند

$$I_{C2} = \left(\frac{R_{E1}}{R_{E2}}\right) I_{C1} = \left(\frac{10}{5}\right) \times 0.11^{mA} = 0.22^{mA}$$

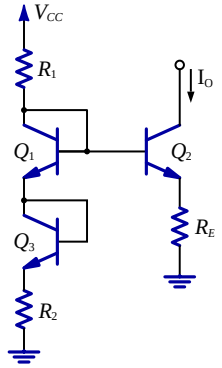
جریان I_{C2} به‌عنوان جریان مرجع برای آینه جریان Q_3 و Q_4 است

$$I = I_{C4} + I_{C3} = 2\mathrm{I}_{C3} = 2I_{C2} = 2 \times 0.22^{mA} = 0.44^{mA}$$

با در نظر گرفتن جریان بیس ترانزیستورها، $I = 0.437mA$ خواهد بود که به مقدار تقریبی بسیار نزدیک است.

■

مثال۳۴. جریان خروجی منبع زیر را تعیین کرده و شرایط مستقل از V_{BE} بودن آن را بیان کنید.



حل. با نوشتن یک KVL جریان مقاومت R_1 را تعیین می‌کنیم

$$V_{CC} = (R_1 + R_2)I_1 + 2V_{BE} \quad \Longrightarrow \quad I_1 = \frac{V_{CC} - 2V_{BE}}{R_1 + R_2}$$

حال با نوشتن یک KVL دیگر و استفاده از رابطه بالا داریم:

$$R_E I_O + V_{BE} = 2V_{BE} + R_2 I_1 = 2V_{BE} + R_2\left(\frac{V_{CC} - 2V_{BE}}{R_1 + R_2}\right)$$

$$I_O = \frac{R_2 V_{CC} + (R_1 - R_2)V_{BE}}{R_E(R_1 + R_2)}$$

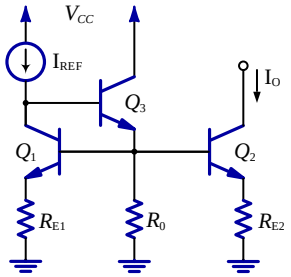
برای $R_1 = R_2$، جریان خروجی مستقل از V_{BE} خواهد شد

$$I_O = \frac{V_{CC}}{2R_E} \quad \& \quad R_1 = R_2 = R_E\left(1 - \frac{2V_{BE}}{V_{CC}}\right)$$

■

۷ آینه جریان دوقطبی بهبود یافته با فیدبک امیتری

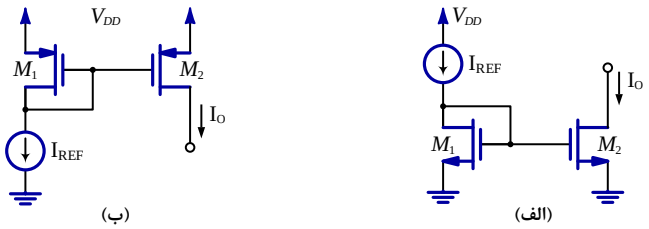
مطابق شکل ۱-۲۵، با قرار دادن مقاومت‌هایی در امیتر ترانزیستورهای آینه جریان بهبودیافته، می‌توان منبع جریانی به دست آورد که عملکرد و انعطاف‌پذیری بسیار بهتری داشته باشد. تعیین جریان خروجی، مقاومت خروجی و حداقل ولتاژ خروجی این منبع جریان، مشابه با آینه جریان ساده با فیدبک امیتری است و تعیین مقاومت ورودی و ولتاژ ورودی آن مشابه آینه جریان بهبودیافته است.



شکل ۱-۲۵ آینه جریان دوقطبی بهبودیافته با فیدبک امیتری

۸ آینه جریان ماسفتی

آینه جریان را می‌توان با استفاده از ماسفت‌ها نیز پیاده‌سازی کرد. در شکل ۱-۲۶ ساختار کلی آینه جریان ماسفتی را مشاهده می‌کنید که با ماسفت‌های کانال n و کانال p ساخته شده‌اند.



شکل ۱-۲۶ (الف) آینه جریان ماسفتی کانال n (ب) آینه جریان ماسفتی کانال p

ابتدا یک تحلیل کیفی مختصر برای آینه جریان ماسفتی کانال n به‌صورت زیر ارائه می‌کنیم:

- به دلیل نحوه اتصال ترانزیستورها، $V_{GS1} = V_{GS2}$ است و همچنین $I_{D1} = I_{REF}$ و $I_{D2} = I_O$ است.
- به دلیل اتصال دیودی، ترانزیستور M_1 در ناحیه فعال قرار دارد و V_{GS1} با I_{REF} تنظیم می‌شود

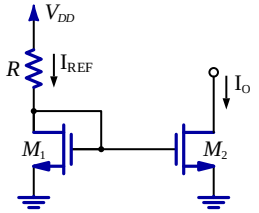
$$V_{GS1} = V_{TH1} + \frac{\sqrt{I_{REF}}}{\sqrt{K_1}}$$

- برای عملکرد صحیح مدار باید ترانزیستور M_2 در ناحیه فعال قرار گیرد یعنی رابطه زیر برقرار باشد

$$V_{DS2} > V_{GS2} - V_{TH2}$$

نکته در آینه جریان ماسفتی جریان گیت‌ها صفر است، لذا شاید تصور شود که اتصال ندادن گیت و درین ماسفت M_1 اشکالی نداشته باشد ولی این تصور اشتباهی است زیرا در این حالت گیت‌ها شناورند و می‌توانند هر ولتاژی به خود بگیرند و نمی‌توان مقدار I_O را پیش‌بینی کرد و درنتیجه چنین مداری آینه جریان نخواهد بود. تنها ماسفت اتصال دیودی می‌تواند جریانی مستقل از پارامترهای ماسفت و دما به دست دهد.

آینه جریان ماسفتی ساده در آینه جریان ماسفتی منبع جریان مرجع I_{REF} را می‌توان با روش‌های مختلفی فراهم کرد که ساده‌ترین روش استفاده از یک مقاومت مطابق شکل ۱-۲۷ است.



شکل ۱-۲۷ آینه جریان ماسفتی ساده

از روی مدار بالا و با استفاده از مشخصه انتقالی ماسفت می‌توان مقدار جریان I_{REF} را تعیین کرد

$$I_{REF} = K_1(V_{GS1} - V_{TH1})^2 = K_1(V_{DD} - RI_{REF} - V_{TH1})^2$$

دو جواب برای I_{REF} به دست می‌آید و تنها جوابی قابل‌قبول است که به ازای آن $|V_{DS1}| > |V_{TH1}|$ باشد.

۸–۱ تحلیل آینه جریان ماسفتی

تحلیل‌های ارائه‌شده برای آینه جریان دوقطبی را می‌توان برای آینه جریان ماسفتی نیز بیان کرد اما با این تفاوت که **خطای بهره جریان ناشی از بتای محدود ترانزیستور دوقطبی در آینه‌های جریان فتی وجود ندارد.**

جریان خروجی با توجه به مشخصه جریان - ولتاژ ماسفت‌ها، I_{D1} و I_{D2} به‌صورت زیر هستند

$$I_{D1} = K_1(V_{GS1} - V_{TH1})^2(1 + \lambda_1 V_{DS1})$$
$$I_{D2} = K_2(V_{GS2} - V_{TH2})^2(1 + \lambda_2 V_{DS2})$$

توجه داشته باشید که در آینه جریان ماسفتی $V_{GS1} = V_{GS2}$ و $I_{D1} = I_{REF}$ و $I_{D2} = I_O$ است.

با استفاده از روابط بالا می‌توان نتایج زیر را در رابطه با جریان خروجی، آینه جریان ماسفتی استخراج کرد:

۱- اگر برای ماسفت‌ها $V_{TH1} = V_{TH2}$ و $\lambda_1 = \lambda_2$ باشد:

$$I_O = I_{REF}\left[\frac{K_2}{K_1}\right][1 + \lambda(V_{DS2} - V_{DS1})]$$

۲- با توجه به تعریف K، اگر μC_{OX} ماسفت‌ها برابر باشند:

$$I_O = I_{REF}\left(\frac{[W/L]_2}{[W/L]_1}\right)(1 + \lambda[V_{DS2} - V_{DS1}])$$

۳- اگر از ضریب مدولاسیون طول کانال صرف‌نظر کنیم یا $V_{DS2} \cong V_{DS1}$ باشد:

$$I_O = \left[\frac{K_2}{K_1}\right] I_{REF} \qquad or \qquad I_O = \left(\frac{[W/L]_2}{[W/L]_1}\right) I_{REF}$$

۴- اگر ماسفت‌ها کاملاً مشابه باشند، آنگاه $I_O = I_{REF}$ خواهد بود.

خطای ساختاری بهره جریان مقدار این خطا در آینه جریان ماسفتی به‌صورت زیر است

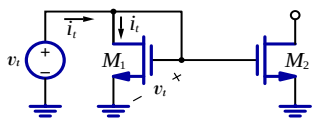
$$\epsilon = \lambda[V_{DS2} - V_{DS1}]$$

اگرچه این خطا از محدود بودن مقاومت خروجی ناشی می‌شود ($r_{o2} = 1/\lambda I_O$) اما مستقیماً به r_{o2} بستگی ندارد و در این خطا، λ نقش تعیین‌کننده‌ای دارد که مستقل از جریان بایاس است.

نکته در آینه جریان ماسفتی خطای جریان بیس وجود ندارد و می‌توان با اتصال ترانزیستورهای موازی با M_2، تعداد خروجی‌ها را به‌دلخواه افزایش داد و برخلاف آینه جریان دوقطبی، نیازی به ترانزیستور اضافی برای جبران جریان گیت‌ها وجود ندارد.

نکته در آینه جریان ماسفتی به‌راحتی می‌توان با تغییر طول و پهنای کانال ماسفت‌ها جریان‌های خروجی متفاوتی به دست آورد ولی در آینه جریان دوقطبی این کار به‌راحتی امکان‌پذیر نیست.

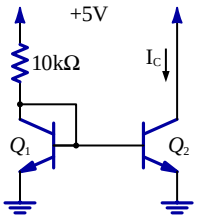
مقاومت ورودی مطابق شکل ۱–۲۸ می‌توان منبع ولتاژ آزمونی در ورودی قرار داده و با روش تحلیل نظری رابطه بین ولتاژ و جریان آزمون را تعیین کرده و مقاومت ورودی را محاسبه کرد، ولی نیازی به این کار نیست.



شکل ۱–۲۸ مدار تعیین مقاومت ورودی آینه جریان ماسفتی

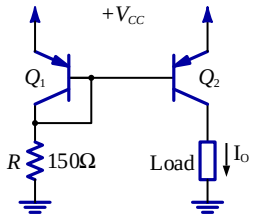
سوالات آزمون های ورودی دکتری برق و ارشد برق و ابزار دقیق

۱- در مدار زیر Q_1 و Q_2 مشابه و $h_{ie} = 2\text{k}\Omega$، $h_{fe} = 100$ و $V_{BE} = 0.6V$ هستند. I_C چقدر است؟ (برق۶۷)



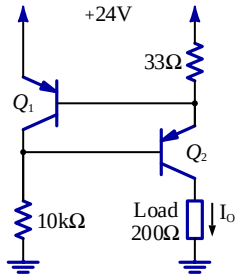
۱) صفر
۲) $0.431mA$
۳) $0.44mA$
۴) $0.448mA$

۲- با فرض این‌که ترانزیستورهای Q_1 و Q_2 کاملاً مشابه و دارای $V_{BE} = 0.6V$ و $\beta = 100$ هستند، مقدار جریان I_O را محاسبه کنید. (برق۶۸)



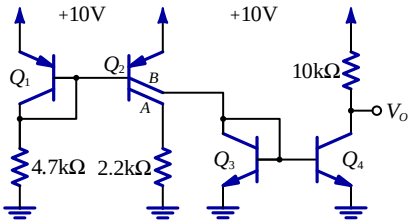
۱) $I_O \cong 96mA$
۲) $I_O \cong 54mA$
۳) $I_O \cong 42mA$
۴) به علت مشخص نبودن بار، قابل‌محاسبه نیست.

۳- در مدار شکل زیر با فرض $V_{BE} = 0.6V$ و $\alpha \cong 1$، جریان بار را محاسبه کنید. (برق۶۹)



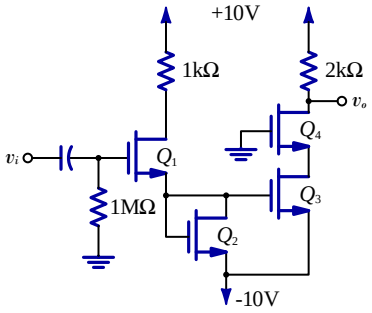
۱) 100mA
۲) 18mA
۳) 50mA
۴) نامشخص

۴- در مدار زیر تمام ترانزیستورها دارای مشخصه یکسان با β بزرگ و $|V_{BE}| = 0.6V$ هستند. در ترانزیستور Q_2 سطح مؤثر کلکتور A سه برابر سطح مؤثر کلکتور B است. ولتاژ V_O چقدر است؟ (برق۷۱)



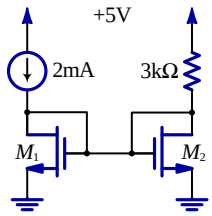
۱) 0.2V
۲) 5V
۳) 7.5V
۴) 8.5V

۵۲- ترانزیستورهای مدار زیر مشابه و مشخصات آن‌ها به‌صورت $V_{TH} = 3V$، $\mu_n C_{OX}[W/L] = 2\,mA/V^2$ و $r_o = \infty$ است. بهره ولتاژ $A_V = v_o/v_i$ کدام است؟ (برق۹۵)



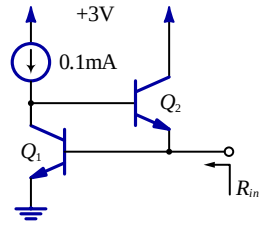
۱) -16
۲) -8
۳) -4
۴) -2

۵۳- در مدار زیر نسبت $[W/L]$ ترانزیستور M_2، دو برابر نسبت $[W/L]$ ترانزیستور M_1 است. جریان ترانزیستور M_1 چند میلی‌آمپر است؟ فرض کنید V_{GS} ترانزیستور M_1 برابر $2V$ است. (برق۹۵)



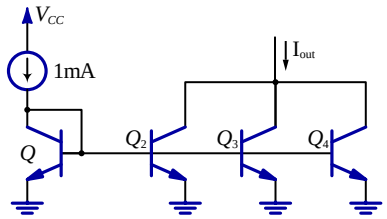
۱) $\frac{2}{3}$
۲) $\frac{4}{3}$
۳) 1
۴) 2

۵۴- در مدار شکل زیر، با فرض $V_T = 25mV$ و $\beta = 100$ برای ترانزیستورها، مقاومت سیگنال کوچک دیده‌شده در ورودی مدار (R_{in})، تقریباً چقدر است؟ (دکتری‌برق۹۶)



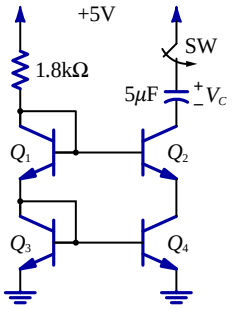
۱) 2.5Ω
۲) 125Ω
۳) $12.5k\Omega$
۴) $25k\Omega$

۵۵- در مدار زیر همه ترانزیستورها در ناحیه فعال بایاس شده‌اند. A_{Ei} سطح پیوند بیس – امیتر ترانزیستور iام است. با فرض $\beta = 10$ و $A_{E4} = 2A_{E3} = 4A_{E2} = 4A_{E1}$ مقدار جریان I_{out} تقریباً کدام است؟ (برق۹۶)



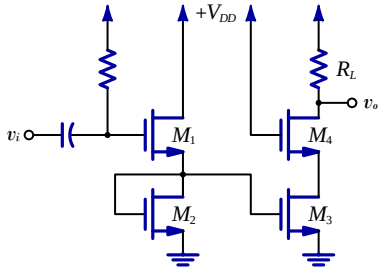
۱) 4mA
۲) 5mA
۳) 6mA
۴) 7mA

۵۶- در مدار زیر با صرف‌نظر کردن از جریان بیس و اثر ارلی، اگر ولتاژ اولیه خازن $V_C(0) = -2V$ باشد، آنگاه چند میلی‌ثانیه پس از بسته شدن کلید SW اولین ترانزیستور وارد ناحیه اشباع خواهد شد. ترانزیستورها مشابه و مشخصات آن‌ها به‌صورت $V_{BE} = 0.7V$ و $V_{CE(sat)} = 0.3V$ است. (دکتری برق ۹۶)



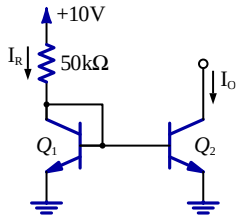
۱) 5
۲) 10
۳) 15
۴) 20

۵۷- در مدار زیر، هر چهار ترانزیستور در ناحیه اشباع بوده و کاملاً مشابه‌اند. اگر هدایت انتقالی M_1 در نقطه کار برابر g_m و $\lambda = 0$ باشد اندازه بهره ولتاژ سیگنال کوچک v_o/v_i چه مقداری است؟ (برق ۹۷)



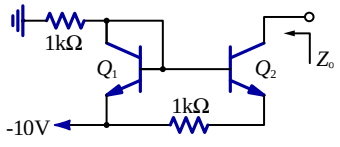
۱) $g_m R_L$
۲) $\frac{1}{2} g_m R_L$
۳) $\frac{3}{2} g_m R_L$
۴) $2 g_m R_L$

۵۸- در مدار زیر ترانزیستورها مشابه و $V_{BE} = 0.7V$ است. چنان چه β ترانزیستورها به‌طور هم‌زمان از 20 تا 185 تغییر کند، نسبت تغییرات جریان خروجی I_O به مقدار جریان مرجع I_R کدام است؟ (ابزار دقیق ۹۷)



۱) 0.02
۲) 0.04
۳) 0.06
۴) 0.08

۵۹- امپدانس دینامیکی Z_o در شکل زیر چند مگا اهم است؟ ترانزیستورها مشابه بوده و مشخصات آنها به صورت $r_\pi = 1k\Omega$ ،$r_o = 100k\Omega$ و $\beta = 100$ است. (ابزار دقیق ۹۷)



۱) 2
۲) 3
۳) 4
۴) 5

پاسخ آزمون های ورودی دکتری برق و ارشد برق و ابزار دقیق

۱- مدار داده شده یک آینه جریان ساده است ولی متأسفانه با توجه به نزدیک بودن مقادیر گزینه‌ها به یکدیگر، نمی‌توان از اثر محدود بودن β چشم‌پوشی کرد و باید جریان خروجی به‌طور دقیق محاسبه شود

$$I_{REF} = \frac{V_{CC} - V_{BE}}{R} = \frac{5^{\mathrm{V}} - 0.6^{\mathrm{V}}}{10^{\Omega}} = 0.44^{mA} \quad \Longrightarrow \quad I_C = \frac{I_{REF}}{1 + 2/\beta} = \frac{0.44^{mA}}{1.02} = 0.431^{mA}$$

گزینه «۲» صحیح است.

۲- مدار داده شده یک آینه جریان pnp ساده است و جریان خروجی به‌صورت تقریبی زیر خواهد بود

$$I_O \cong I_R = \frac{15^V - 0.6^V}{0.15^{k\Omega}} = 96^{mA}$$

به نظر می‌رسد گزینه «۱» صحیح است اما به شرطی که مقاومت بار به‌گونه‌ای باشد که ترانزیستور Q_2 به اشباع نرود؛ به عبارتی باید رابطه زیر برقرار باشد

$$V_{EC2} = 15^V - R_{Load} \times 96^{mA} > V_{EC(sat)}$$

بنابراین عملکرد صحیح مدار به مقاومت بار (Load) بستگی دارد و گزینه «۴» صحیح است.

۳- این مدار یک آینه جریان مستقل از منبع تغذیه است که در متن درس به آن اشاره شده است. می‌دانیم که فرض $\alpha \cong 1$ معادل با $\beta = \infty$ است و می‌توان از جریان بیس‌ها چشم‌پوشی کرد

$$I_O = I_{C2} = I_{33\Omega} = \frac{V_{BE1}}{33^{\Omega}} = \frac{0.6^V}{0.033^{k\Omega}} = 18^{mA}$$

این جواب زمانی معتبر است که ترانزیستورها در ناحیه فعال باشند

$$V_{EC2} = 24^V - \left(0.2^{\mathrm{k}\Omega} + 0.033^{\mathrm{k}\Omega}\right) \times 18^{mA} = 19.8^V > V_{EC(sat)}$$

گزینه «۲» صحیح است.

۴- در ترانزیستور Q_2 سطح مؤثر کلکتور A سه برابر سطح مؤثر کلکتور B است بنابراین داریم:

$$I_{SA} = 3I_{SB} \quad \Longrightarrow \quad I_{CA} = 3I_{CB}$$

ترکیب ترانزیستورهای Q_1 و Q_2 یک آینه جریان ساده است و جریان مرجع این منبع برابر است با:

$$I_{C1} = \frac{V_{CC} - V_{BE1}}{4.7^{\mathrm{k}\Omega}} = \frac{10^V - 0.6^V}{4.7^{\mathrm{k}\Omega}} = 2^{mA}$$

با توجه به مفهوم آینه جریان و رابطه $I_{CA} = 3I_{CB}$ خواهیم داشت:

$$I_{C1} = I_{C2} = I_{CA} + I_{CB} = 4I_{CB} \quad \Longrightarrow \quad I_{CB} = 0.5^{mA}$$

جریان I_{CB} جریان مرجع برای آینه جریان (Q_3 و Q_4) است و مقدار ولتاژ خروجی به‌صورت زیر خواهد بود

$$I_{C4} = I_{C3} = I_{CB} = 0.5^{mA} \quad \Longrightarrow \quad V_O = 10^V - 10^{k\Omega} \times 0.5^{mA} = 5^V$$

گزینه «۲» صحیح است.

ولتاژهای V_{BE1} و V_{BE3} جریان I_{REF} به دست می‌آید و رابطه حاکم بر این مدار به‌صورت زیر خواهد بود

$$\ln\left(\frac{I_O}{I_{REF}}\right)=\frac{RI_{REF}}{V_T}=\frac{R}{V_T}\left(\frac{V_{CC}-V_{BE3}-V_{BE2}}{9R+R}\right)=0.1\left(\frac{V_{CC}-2V_{BE}}{V_T}\right)$$

گزینه «۴» صحیح است.

۵۱- طبق متن درس در یک آینه جریان ساده، جریان کلکتور ترانزیستور Q_2 از رابطه زیر به دست می‌آید

$$I_{C2}=\frac{I_{REF}}{1+2/\beta}\left(1+\frac{V_{CE2}-V_{CE1}}{V_A}\right)$$

با توجه به رابطه بالا، درصد تغییرات جریان کلکتور Q_2 به‌راحتی محاسبه می‌شود

$$\frac{\Delta I_{C2}}{I_{C2}}=\frac{\Delta V_{CE2}/V_A}{1+(V_{CE2}-V_{CE1})/V_A}=\frac{\Delta V_{CE2}}{V_A+V_{CE2}-V_{CE1}}=\frac{5^V}{50^V+10^V-0.7^V}=8.4\%$$

گزینه «۴» صحیح است.

۵۲- در این مدار ترانزیستورهای Q_2 و Q_3 تشکیل یک آینه جریان ماسفتی می‌دهند که هم جریان dc لازم را برای ترانزیستور Q_4 فراهم می‌کند و هم به‌عنوان یک آینه جریان فعال، سیگنال ac تولیدشده در ورودی را به خروجی منتقل می‌کند. چون برای تعیین بهره ولتاژ به پارامترهای ac ترانزیستور نیاز داریم لذا باید ابتدا تحلیل dc مدار را انجام دهیم. در مدار dc خازن مدارباز می‌شود و واضح است که به دلیل صفر بودن جریان گیت‌ها، جریان ترانزیستورهای Q_1 و Q_2 برابر خواهند بود و به دلیل تشابه آن‌ها، $V_{GS1}=V_{GS2}$ خواهد بود. با نوشتن KVL در حلقه شامل V_{GS1} و V_{GS2} می‌توان مقدار آن‌ها را به دست آورد

$$V_{GS1}+V_{GS2}-10=0 \qquad \Rightarrow \qquad V_{GS1}=V_{GS2}=5^V$$

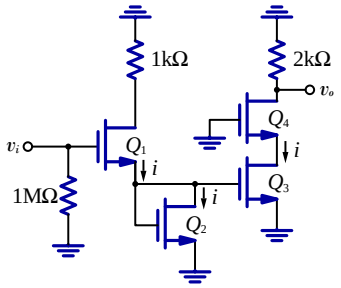
حال با توجه به رابطه جریان – ولتاژ ماسفت‌ها، جریان‌های I_{D1} و I_{D2} را به دست می‌آوریم

$$I_{D1,2}=\frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right)\left(V_{GS1,2}-V_{TH}\right)^2=1\frac{^{mA}}{^{V^2}}(5^V-3^V)^2=4^{mA}$$

واضح است که جریان ترانزیستور Q_3 در آینه جریان (Q_2 و Q_3) و جریان ترانزیستور Q_4 هم برابر با 4mA خواهد بود و پارامتر g_m برای تمامی ترانزیستورها به‌صورت زیر به دست می‌آید

$$g_m=2\sqrt{KI_D}=\sqrt{\frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right)I_D}=4^{mS}$$

حال مدار ac را به‌صورت زیر رسم کرده و در آن جریان Q_1 را به‌عنوان جریان پایه (i) در نظر گرفته و سایر جریان‌ها را برحسب آن به دست می‌آوریم. با تعیین ولتاژ ورودی و خروجی برحسب جریان پایه i، بهره ولتاژ حاصل می‌شود



$$\frac{v_o}{v_i}=\frac{-2^{k\Omega}i}{\left(\frac{1}{g_{m1}}\right)i+\left(\frac{1}{g_{m2}}\right)i}=-\frac{2^{k\Omega}\times 4^{mS}}{2}=-4$$

گزینه «۳» صحیح است.

۵۳- در این مدار $V_{GS1}=V_{GS2}=2V$ است و به‌راحتی جریان مقاومت $3k\Omega$ به دست می‌آید

$$I_{3k\Omega}=\frac{5^V-V_{GS2}}{3^{k\Omega}}=\frac{5^V-2^V}{3^{k\Omega}}=1^{mA}$$

نکته مهم در حل این مسئله این است که گیت‌ها و درین‌های ماسفت‌ها همگی به یک گره وصل هستند. با نوشتن KCL در این گره و با توجه به این‌که $I_{D2}=2I_{D1}$ ($[W/L]_2=2[W/L]_1$) است، جریان درین ترانزیستور M_1 به‌صورت زیر به دست می‌آید

$$I_{D1}+I_{D2}=2^{mA}+1^{mA}\quad\Longrightarrow\quad 3I_{D1}=3^{mA}\quad\Longrightarrow\quad I_{D1}=1^{mA}$$

گزینه «۳» صحیح است.

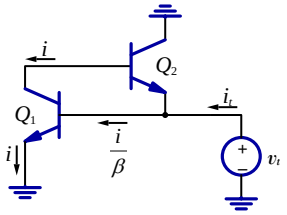
۵۴- ابتدا باید تحلیل dc مدار را انجام دهیم. با توجه به $I_{B1}=I_{E2}$ و نوشتن KCL در کلکتور Q_1، داریم:

$$0.1^{mA}=I_{C1}+I_{B2}=I_{C1}+\frac{I_{E2}}{\beta+1}=I_{C1}+\frac{I_{C1}}{\beta(\beta+1)}$$

از رابطه بالا نتیجه می‌شود که $I_{C1}\cong 0.1mA$ است و لذا $I_{E2}=0.001mA$ خواهد بود.

$$r_{e1}=\frac{V_T}{I_{E1}}=\frac{25^{mV}}{0.1^{mA}}=250^{\Omega}$$

مطابق شکل زیر با قرار دادن منبع آزمون v_t و یافتن رابطه بین v_t و i_t مقاومت ورودی را محاسبه می‌کنیم



جریان کلکتور Q_1 را به‌عنوان جریان پایه (i) انتخاب کرده و سایر جریان‌ها را برحسب آن می‌نویسیم. با نوشتن KCL در گره بیس Q_1 مقدار جریان i_t برحسب جریان پایه (i) به دست می‌آید

$$i_t=\frac{i}{\beta+1}+\frac{i}{\beta}\cong\frac{2i}{\beta}$$

و از روی مدار واضح است که $v_t=r_{e1}i$ است و درنتیجه مقدار مقاومت ورودی به‌صورت زیر به دست می‌آید

$$R_{in}=\frac{v_t}{i_t}=\frac{r_{e1}}{2/\beta}=\frac{\beta r_{e1}}{2}=50\times 250^{\Omega}=12.5^{\mathrm{k\Omega}}$$

گزینه «۳» صحیح است.

۵۵- ترانزیستورهای موازی Q_2، Q_3 و Q_4 معادل با ترانزیستور Q_{eq} هستند که سطح پیوند بیس – امیتر آن برابر با $A_{eq}=A_{E2}+A_{E3}+A_{E4}=7A_{E1}$ است. در واقع یک آینه جریان ساده داریم که ترانزیستور مرجع آن Q_1 و ترانزیستور خروجی آن Q_{eq} است. جریان خروجی در آینه جریان با بتای محدود به‌صورت زیر است

$$I_{out}=\frac{[A_{eq}/A_{E1}]I_{REF}}{1+([A_{eq}/A_{E1}]+1)/\beta}=\frac{7\times 1^{mA}}{1+0.8}=\frac{7^{mA}}{1.8}=3.88^{mA}\cong 4^{mA}$$

گزینه «۱» صحیح است.

۵۶- این مدار یک منبع جریان کاسکود است و با نوشتن یک KVL ساده مقدار جریان مرجع به دست می‌آید

$$I_{REF}=\frac{5^V-V_{BE1}-V_{BE3}}{1.8^{k\Omega}}=\frac{5^V-1.4^V}{1.8^{k\Omega}}=2^{mA}$$

با توجه به تشابه ترانزیستورها و چشم‌پوشی از جریان بیس آن‌ها، جریان همه ترانزیستورها برابر 2mA خواهد بود. حداقل ولتاژ V_{C2} برای قرار گرفتن ترانزیستورهای Q_2 و Q_4 در ناحیه فعال به‌صورت زیر به دست می‌آید

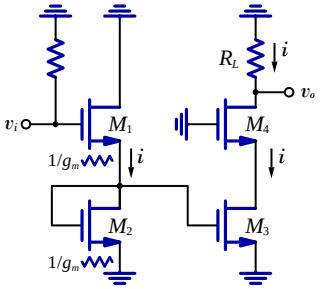
$$V_{C2(min)} = V_{CE2(sat)} + V_{C4} = V_{CE2(sat)} + (V_{BE1} + V_{BE3} - V_{BE2}) = 1^V$$

با بسته شدن کلید جریان 2mA در خازن جاری شده و آن را شارژ می‌کند و این کار تا زمانی ادامه دارد که مقدار V_{C2} از $0.9V$ کمتر نشود و درواقع باید لحظه $V_{C2} = 0.9V$ را به‌صورت زیر محاسبه کنیم

$$V_{C2} = 5^V - V_C = 5^V - \left(-2^V + \frac{2^{mA} \times t}{5^{\mu F}}\right) = 0.9^V \quad \Longrightarrow \quad t = 15^{msec}$$

گزینه «۳» صحیح است.

۵۷- ماسفت‌های M_2 و M_3 تشکیل یک آینه جریان ماسفتی فعال داده‌اند و سیگنال ac تولید شده در ورودی را به سمت خروجی منتقل می‌کنند. جریان بایاس تمامی ترانزیستورها با هم برابر بوده و لذا g_m برای آنها یکسان است. مقاومت معادل ماسفت اتصال دیودی M_2 برابر با $1/g_m$ است. اگر جریان M_1 را به عنوان جریان پایه (i) در نظر بگیریم، بهره ولتاژ به صورت زیر بدست می‌آید



$$\frac{v_o}{v_i} = \frac{R_L \times (-i)}{(1/g_m + 1/g_m) \times i} = -\frac{1}{2} g_m R_L$$

گزینه «۳» صحیح است.

۵۸- این مدار یک منبع جریان ساده است و رابطه بین جریان خروجی و مرجع آن به صورت زیر است

$$\frac{I_O}{I_R} = \frac{1}{1 + 2/\beta} = \frac{\beta}{\beta + 2}$$

و نسبت تغییرات جریان خروجی I_O به مقدار جریان مرجع I_R به راحتی تعیین می شود

$$\frac{\Delta I_O}{I_R} = \frac{\beta_{max}}{\beta_{max} + 2} - \frac{\beta_{min}}{\beta_{min} + 2} = \frac{185}{187} - \frac{20}{22} \cong 0.99 - 0.91 = 0.08$$

گزینه «۴» صحیح است.

۵۹- مدار داده شده یک آینه جریان ویدلر است و طبق متن درس مقاومت خروجی آن برابر است با:

$$Z_o = \left(1 + \frac{\beta R_E}{R_E + r_\pi}\right) r_{o2} = \left(1 + \frac{100 \times 1^{k\Omega}}{1^{k\Omega} + 1^{k\Omega}}\right) 100^{k\Omega} \cong 5^{M\Omega}$$

گزینه «۴» صحیح است.

---

[1] Behzad Razavi "**Fundamentals of Microelectronics**" Wiley, 2nd Edition, 2013.

[2] Behzad Razavi "**Design of Analog CMOS Integrated Circuits**" McGraw-Hill, 2nd Edition, 2016.

[3] A.Sedra and K.Smith "**Microelectronic Circuits**" Oxford University Press, 7th Edition, 2014.

[4] Paul R. Gray, Robert G. Meyer, Paul J. Hurst, Stephen H. Lewis "**Analysis and Design of Analog Integrated Circuits**" Wiley, 5th edition, 2009.

[5] Robert L. Boylestad and Louis Nashelsky "**Electronic Devices and Circuit Theory**" Pearson, 11th Edition, 2012.

[6] Alan B. Grebene "**Bipolar and MOS Analog Integrated Circuit Design**" Wiley, 2003.

[7] Muhammad H. Rashid "**Microelectronic Circuits**" CL Engineering, 3rd, 2016.

[8] Richard Jaeger and Travis Blalock "**Microelectronic Circuit Design**" McGraw-Hill Education; 4th Edition, 2010.

[9] Donald A.Neamen "**Microelectronics Circuit Analysis and Design**" McGraw-Hill Education, 4th Edition, 2009.

[۱۰] محمود دیانی، **"رهیافت الکترونیک (۲)"**، انتشارات نص، چاپ هشتم، ۱۳۹۴.

[۱۱] غلامرضا لطیفی، **"الکترونیک۱و۲ با رویکرد حل مساله"**، انتشارات حرکت نو، چاپ پنجم، ۱۳۹۳.

[۱۲] مجموعه سوالات آزمون‌های ورودی دکتری برق، ارشد برق و ارشد ابزاردقیق و اتوماسیون.